



#7  
3-25-03  
JW

First Named Inventor	Giovanni Santin	<b><u>COMMUNICATION RE: FILING OF PRIORITY DOCUMENT UNDER 35 USC 119</u></b>
Serial No.	09/943,642	
Filing Date	August 30, 2001	
Group Art Unit	2818	
Examiner Name	Unknown	
Confirmation No.	9387	
Attorney Docket No.	400.070US01	
Title: DATA COMPRESSION READ MODE FOR MEMORY TESTING		

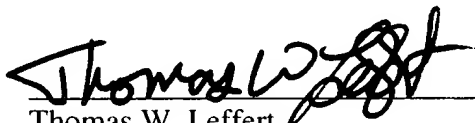
Commissioner for Patents  
Washington D.C. 20231

In accordance with the requirements for claiming right of priority under 35 U.S.C. 119, enclosed for filing in the above-identified application is a certified copy of Applicant's priority application RM 2001 A000104 (Italy) as filed on 27 February 2001.

Please contact the undersigned attorney at direct dial (612) 312-2204 if you have any questions.

Respectfully submitted,

Date: 5 MAR 03

  
Thomas W. Leffert  
Reg. No. 40,697

Attorneys for Applicant  
Leffert Jay & Polglaze, P.A.  
P.O. Box 581009  
Minneapolis, MN 55458-1009  
Telephone 612-312-2200  
Facsimile 612-312-2250

RECEIVED  
MAR 11 2003  
TECHNOLOGY CENTER 2800

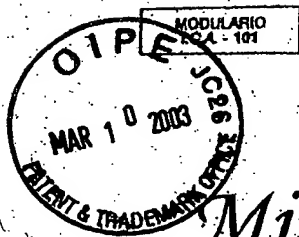


2818

First Named Inventor	Giovanni Santin	<b>TRANSMITTAL FORM UNDER 37 CFR 1.8 (LARGE ENTITY)</b>
Serial No.	09/943,642	
Filing Date	August 30, 2001	
Group Art Unit	2818	
Examiner Name	Unknown	
Confirmation No.	9387	
Attorney Docket No.	400.070US01	
Title: DATA COMPRESSION READ MODE FOR MEMORY TESTING		

Commissioner for Patents  
Washington, D.C. 20231

<b>Enclosures</b>			
<p><b>The following documents are enclosed:</b></p> <p><input checked="" type="checkbox"/> A Communication re: Filing of Priority Document under 35 USC 119 (1 pg.);</p> <p><input checked="" type="checkbox"/> A Certified copy of Italian priority application RM 2001 A000104 as filed 27 February 2001;</p> <p><input checked="" type="checkbox"/> An itemized return-receipt postcard.</p> <p style="text-align: center;"><b>Please charge any additional fees or credit any overpayments to Deposit Account No. 501373.</b></p> <p style="text-align: center;"><b>CUSTOMER NUMBER 27073</b></p> <div style="text-align: right; border: 1px solid black; padding: 5px; transform: rotate(90deg); transform-origin: right top;">RECEIVED MAR 11 2003 TECHNOLOGY CENTER 2800</div>			
<b>Submitted By</b>			
Name	Thomas W. Leffert	Reg. No.	40,697
Telephone	(612) 312-2204		
Signature			Date
		5 MAR 03	
<b>Certificate of Mailing</b>			
I certify that this correspondence, and the documents identified above, are being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, D.C. 20231 on March 5, 2003.			
Name	Rhonda L. Hutar	Signature	



Mod. C.E. - 1-4-7

BEST AVAILABLE COPY

**Ministero delle Attività Produttive**  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N. RM2001 A 000104



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

RECEIVED  
MAR 11 2003  
TECHNOLOGY CENTER 2800

Roma, li 17 GEN. 2003

IL DIRIGENTE

*Elena Marinelli*

Sig.ra E. MARINELLI

## AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITA' AL PUBBLICO



## A. RICHIEDENTE (I)

N.G.

1) Denominazione MICRON TECHNOLOGY, INC. codice \_\_\_\_\_  
Residenza BOISE, IDAHO (U.S.A.) US  
2) Denominazione \_\_\_\_\_ codice \_\_\_\_\_  
Residenza \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome de Benedetti Fabrizio ed altri cod. fiscale \_\_\_\_\_  
denominazione studio di appartenenza SOCIETA' ITALIANA BREVETTI S.p.A.  
via Piazza di Pietra n. 39 città ROMA cap 00186 (prov) RM

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_  
classe proposta (sez/cl/sci) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_ / \_\_\_\_\_

## D. TITOLO

**"MODO DI LETTURA A COMPRESSIONE DI DATI PER IL COLLAUDO DI MEMORIE".**

ANTICIPATA ACCESSIBILITA' AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_/\_\_\_\_/\_\_\_\_

N. PROTOCOLLO

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) SANTIN Giovanni 3) \_\_\_\_\_  
2) \_\_\_\_\_ 4) \_\_\_\_\_

## F. PRIORITA'

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

SCIoglimento RISERVE

Data

N° Protocollo

1) \_\_\_\_\_ / / \_\_\_\_\_  
2) \_\_\_\_\_ / / \_\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

(una Società dello Stato del Delaware)

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1)	2	PROV	<input type="checkbox"/> n. pag.	98	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2)	2	PROV	<input type="checkbox"/> n. tav.	5	disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3)	0	RIS	<input checked="" type="checkbox"/>		lettera d'incarico
Doc. 4)	0	RIS	<input type="checkbox"/>		designazione inventore
Doc. 5)	0	RIS	<input type="checkbox"/>		documenti di priorità con traduzione in italiano
Doc. 6)	0	RIS	<input type="checkbox"/>		autorizzazione o atto di cessione
Doc. 7)	0				nominativo completo del richiedente

SCIoglimento RISERVE

Data

N° Protocollo

/ / /  
/ / /  
/ / /  
/ / /  
confronta singole priorità  
/ / /

8) attestati di versamento, totale lire unmilionequattrocentoquindicimila=

obbligatorio

COMPILATO IL 27 / 02 / 2001

FIRMA DEL (I) RICHIEDENTE (I) \_\_\_\_\_

Gilberto Tonon

(Isr. Alb n. 83 BM)

CONTINUA (SI/NO) NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA (SI/NO) SI

CAMERA DI COMMERCIO INDUSTRIA ARTIGIANATO E AGRICOLTURA DI

ROMA

codice 58**RM 2001 A 000104**

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

Reg. A

L'anno duemilauno

il giorno

ventisette

del mese di

febbraioIl (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto soprainportato.

ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE



L'UFFICIALE ROGANTE

L'Ufficiale Rogante  
Silvia Alstorf

RM 2001 A 000104

SIB-92490

400.070IT01

DESCRIZIONE DELL'INVENZIONE INDUSTRIALE dal titolo:  
"MODO DI LETTURA A COMPRESSIONE DI DATI PER IL  
COLLAUDO DI MEMORIE"

della ditta statunitense MICRON TECHNOLOGY, INC.  
(una Società dello Stato del Delaware)  
con sede in BOISE, IDAHO (U.S.A.)



DESCRIZIONE

**Campo tecnico dell'invenzione**

La presente invenzione si riferisce genericamente a dispositivi di memoria a semiconduttori, ed in particolare la presente invenzione si riferisce a metodi di collaudo per dispositivi di memoria a semiconduttori così come circuiti ed apparecchiature per la realizzazione di tali metodi.

**Base tecnica dell'invenzione**

I sistemi di gestione elettronica di informazione o sistemi a calcolatore, sia che siano grandi macchine, microcalcolatori o dispositivi di elaborazione digitale piccoli e semplici, richiedono memoria per memorizzare dati ed istruzioni di programma. Sono stati sviluppati vari



sistemi di memoria nel corso degli anni per gestire le richieste in evoluzione di sistemi di gestione di informazione. Uno di tali sistemi di memoria comprende dispositivi di memoria a semiconduttori.

I dispositivi di memoria a semiconduttori sono dispositivi di memoria ad accesso rapido. In un dispositivo di memoria a semiconduttori, il tempo richiesto per memorizzare e recuperare informazione è generalmente indipendente dalla collocazione fisica dell'informazione entro il dispositivo di memoria. I dispositivi di memoria a semiconduttori tipicamente memorizzano informazione in una grossa schiera di celle.

Applicazioni di calcolatori, di comunicazione ed industriale stanno spingendo la richiesta di dispositivi di memoria in una varietà di sistemi elettronici. Una forma importante di dispositivo di memoria a semiconduttori include memorie non volatili costituite da celle di memoria a gate flottante chiamate memorie flash. Una memoria flash viene spesso usata quando si desidera un accesso normale ai dati memorizzati nel dispositivo di memoria, ma quando tali dati vengono cambiati raramente. Applicazioni di calcolatori impiegano memoria flash per immagazzinare il firmware BIOS.

Dispositivi periferici quali stampanti memorizzano font e moduli su memoria flash. Applicazioni radio e di cellulari digitali impiegano grandi quantità di memoria flash e spingono continuamente per tensioni più basse e densità più elevata. Applicazioni portatili quali camere digitali, registratori audio, assistenti digitali personali (PDA) ed apparecchiature di collaudo impiegano anch'esse memoria flash come supporto per memorizzare dati.

Le celle di memoria flash convenzionali impiegano un transistor a gate flottante comprendente una zona di sorgente, una zona di assorbimento ed uno strato di gate flottante ed uno strato di gate di controllo. In tali dispositivi, le operazioni di accesso sono effettuate applicando polarizzazioni a ciascuno di questi terminali. Le operazioni di scrittura sono generalmente eseguite mediante iniezione di portatori caldi nel canale. Questo processo induce un flusso di elettroni tra la sorgente e l'assorbitore, e li accelera verso un gate flottante in risposta ad una polarizzazione positiva applicata al gate di controllo. Operazioni di lettura generalmente includono il percepire una corrente tra sorgente ed assorbimento, cioè, la

corrente MOSFET, in risposta ad una polarizzazione applicata al gate di controllo. Operazioni di cancellazione sono generalmente effettuate attraverso effetto tunnel Fowler-Nordheim. Questo processo può includere una regione di assorbitore elettricamente flottante, di collegare a massa la regione di sorgente, e l'applicazione di una elevata tensione negativa allo strato del gate di controllo.

Un'altra forma importante di dispositivo di memoria a semiconduttori comprende una memoria volatile chiamata memoria dinamica ad accesso casuale (DRAM). Le DRAM sono impiegate spesso quando è desiderato un rapido accesso alla schiera di memoria sia per i dati di ingresso sia per l'uscita di dati. La DRAM ha tempi di accesso più veloci della memoria flash, ma richiede un rinfresco periodico per evitare di perdere i suoi valori di dati. Una tipica configurazione DRAM include una schiera di celle di memoria collocate alla intersezione di linee di parola e di linee di bit. Ciascuna cella di memoria comprende un transistor di accesso, con il gate di ciascun transistor di accesso accoppiato ad una linea di parola. Una prima regione sorgente/assorbitore di



un transistor di accesso è accoppiata ad una linea di bit e ad una seconda regione sorgente/assorbitore del transistor di accesso e accoppiata ad una prima armatura di un condensatore. Il valore di dati viene memorizzato come carica sul condensatore ed il valore dei dati è percepito da una condivisione di cariche con la linea di bit associata e rivelando la variazione del potenziale di linea di bit come risultato della condivisione di carica. Applicazioni per calcolatore tipicamente impiegano DRAM per memorizzare istruzioni di programma ed altri dati temporanei.

Prima della spedizione, un fabbricante può collaudare i suoi dispositivi di memoria a semiconduttori come parte di un programma di qualità per migliorare la affidabilità dell'impiego finale. Uno dei collaudi effettuati include un collaudo di verifica di scrittura. Generalmente, il collaudo di verifica di scrittura viene impiegato per collaudare la capacità della schiera di memoria a ricevere, mantenere e porre in uscita dati in modo affidabile. Tali prove tipicamente comportano dapprima la scrittura di una configurazione di dati, ad esempio, una configurazione in ingresso di uno (uni) e zero (zeri), verso la schiera di



memoria. Successivamente si accede alla schiera di memoria per rilevare e porre in uscita i dati memorizzati nella schiera di memoria. I dati sono spesso posti in uscita come una pagina di dati contenente due o più parole con ciascuna parola contenente un certo numero di bit. I dati di uscita sono quindi confrontati con la configurazione di dati originalmente immessa nella schiera di memoria su una base bit per bit, e generalmente una parola alla volta, mediante un circuito di arbitrato di una apparecchiatura di collaudo. Se ciascun bit di ciascuna parola dei dati di uscita coincide con il bit corrispondente della configurazione di ingresso, il dispositivo supera il collaudo. Una mancata coincidenza tra qualsiasi bit di qualsiasi parola dei dati di uscita e della configurazione di ingresso è indicativa di un'avaria del dispositivo. Queste prove, anche se sono preziose per verificare l'affidabilità del dispositivo, richiedono molto tempo e sono costose.

Per le ragioni sopra indicate, e per altre ragioni esposte in seguito che diverranno chiare a coloro che sono esperti nel ramo a seguito della lettura e comprensione della presente descrizione, esiste una necessità nella tecnica per metodi

alternativi di collaudare dispositivi di memoria, circuiti per la implementazione di tali metodi di collaudo, e dispositivi di memoria che fanno uso di tali circuiti e metodi di collaudo.

#### **Sommario dell'invenzione**

I problemi sopra menzionati con dispositivi di memoria ed altri problemi sono oggetto della presente invenzione e verranno compresi leggendo e studiando la seguente descrizione.

Il collaudo di dispositivi di memoria è generalmente effettuato come parte di un programma di qualità per migliorare l'affidabilità di uso finale. I dispositivi di memoria qui descritti sono in grado di un modo di funzionamento normale ed un modo di funzionamento a collaudo. Il modo di funzionamento a collaudo comprende un modo di collaudo a compressione di dati in cui la lettura di una parola di una pagina in uscita fornisce una indicazione dei valori di dati delle parole rimanenti della pagina di uscita. In questo modo, il tempo di lettura di una schiera di memoria avente una configurazione ripetitiva può essere ridotto ad una frazione del tempo richiesto per leggere ciascuna parola della schiera. Conseguentemente, il tempo richiesto per collaudare

la capacità di un dispositivo di memoria per memorizzare accuratamente dati può essere ridotto.

Per una prima forma di realizzazione, l'invenzione fornisce un circuito di compressione di dati in un dispositivo di memoria. Il circuito di compressione di dati comprende un primo circuito logico per ricevere segnali di dati corrispondenti a una data collocazione di bit per ciascuna parola di una pagina di uscita del dispositivo di memoria e per fornire un primo segnale di uscita indicativo del fatto che ciascun segnale di dati possiede un primo livello logico. Il circuito di compressione di dati comprende inoltre un secondo circuito logico per ricevere i segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina in uscita del dispositivo di memoria e per fornire un secondo segnale in uscita indicativo del fatto che ciascun segnale di dati abbia un secondo livello logico diverso dal primo livello logico. Il circuito di compressione di dati comprende inoltre un terzo circuito logico per ricevere il primo segnale di uscita e il secondo segnale in uscita per e fornire un terzo segnale in uscita indicativo del fatto se ciascun segnale di dati abbia lo stesso livello

logico. Per una ulteriore forma di realizzazione, il primo circuito logico comprende una molteplicità di primi stadi buffer. Ciascun primo stadio buffer ha un ingresso per ricevere un segnale di dati per una data collocazione di bit di una parola di una pagina in uscita di dispositivo di memoria, ed una uscita. Ciascun primo stadio buffer è accoppiato per ricevere un segnale di dati per la data collocazione di bit di una diversa parola della pagina in uscita e ciascun primo stadio di buffer ha la sua uscita accoppiata alle uscite dei rimanenti primi stadi di buffer. Ciascun primo stadio di buffer assorbe un primo livello di corrente in risposta ad un segnale di dati avente un livello logico alto e pilota un secondo livello di corrente più grande in risposta ad un segnale di dati avente un livello logico basso. Il secondo livello di corrente per un primo stadio di buffer è di ampiezza maggiore del primo livello di corrente per ciascun primo stadio buffer combinato.

Per una ulteriore forma di realizzazione, il secondo circuito logico comprende una molteplicità di secondi stadi buffer. Ciascun secondo stadio buffer ha un ingresso per ricevere un segnale di dati per una data collocazione di bit di una parola



S.I.P.  
ROMA

della pagina in uscita del dispositivo di memoria, ed una uscita. Ciascun secondo stadio buffer è accoppiato per ricevere un segnale di dati per la data collocazione di bit di una diversa parola della pagina in uscita e ciascun secondo stadio buffer ha la sua uscita accoppiata alle uscite dei rimanenti secondi stadi buffer. Ciascun secondo stadio buffer assorbe un primo livello di corrente in risposta ad un segnale di dati avente un livello logico alto e pilota un secondo livello di corrente, più basso, in risposta ad un segnale di dati avente un livello logico basso. Il primo livello di corrente per un secondo stadio buffer è di ampiezza maggiore del secondo livello di corrente di ciascun rimanente secondo stadio buffer combinato.

Per un'altra forma di realizzazione, l'invenzione fornisce un dispositivo di memoria. Il dispositivo di memoria comprende un circuito di compressione di dati avente una molteplicità di ingressi per ricevere segnali di dati ed una uscita per fornire un primo segnale di controllo. Il circuito di compressione di dati ha i suoi ingressi accoppiati per ricevere segnali di dati rappresentativi di valori di dati per una data

collocazione di bit di ciascuna parola della pagina in uscita del dispositivo di memoria. Il primo segnale di controllo ha un primo livello logico quando i segnali di dati della data collocazione di bit coincidono ed un secondo livello logico quando uno qualsiasi dei segnali di dati per la data collocazione di bit è differente. Il dispositivo di memoria comprende inoltre un circuito di pilotaggio di uscita per fornire un segnale di uscita indicativo di un segnale di dati. Il circuito di pilotaggio di uscita viene disabilitato quando il primo segnale di controllo ha il secondo livello logico. Per una ulteriore forma di realizzazione, il dispositivo di memoria è accoppiato ad un elaboratore per fornire segnali di controllo esterni e per comunicare in modo bidirezionale valori di dati.

Per ancora un'altra forma di realizzazione, l'invenzione fornisce un metodo per collaudare un dispositivo di memoria. Il metodo comprende l'accedere ad una schiera di memoria per generare una pagina di uscita contenente almeno due parole. La pagina di uscita ha una configurazione di dati ripetitiva e ciascuna parola ha almeno una collocazione di bit. Il metodo inoltre comprende il

confrontare segnali di dati per una data collocazione di bit di ciascuna parola della pagina di uscita e disabilitare l'uscita per segnali di dati corrispondenti ad almeno la data collocazione di bit se almeno un segnale di dati per la data collocazione di bit differisce da qualsiasi rimanente segnale di dati per la collocazione data di bit. Il metodo inoltre comprende il cercare di leggere una parola della pagina di uscita e determinare se l'uscita sia disabilitata per almeno la data collocazione di bit. Una uscita disabilitata è indicativa di una avaria del dispositivo di memoria.

L'invenzione fornisce inoltre metodi ed apparecchio di vario scopo.

#### **Breve descrizione dei disegni**

La figura 1A è uno schema a blocchi funzionale di un dispositivo basico di memoria flash accoppiato ad un elaboratore secondo una forma di realizzazione dell'invenzione.

La figura 1B è uno schema a blocchi funzionale di uno stadio pilota di uscita per l'impiego del dispositivo di memoria di figura 1A secondo una prima forma di realizzazione dell'invenzione.

Le figure 2A-2B sono schemi logici di circuiti



di compressione di dati secondo forme di realizzazione dell'invenzione.

La figura 3A è uno schema a blocchi di un circuito di compressione di dati secondo un'altra forma di realizzazione dell'invenzione.

La figura 3B è uno schema di un primo stadio buffer per impiego nel circuito di compressione di dati di figura 3A secondo una forma di realizzazione dell'invenzione.

La figura 3C è uno schema di un secondo stadio buffer per l'impiego nel circuito di compressione di dati di figura 3A secondo una forma di realizzazione dell'invenzione.

#### **Descrizione particolareggiata dell'invenzione**

Nella seguente descrizione particolareggiata delle presenti forme di realizzazione, si fa riferimento ai disegni allegati che ne formano parte, ed in cui sono mostrate a titolo illustrativo specifiche forme di realizzazione nelle quali può essere realizzata in pratica l'invenzione.

Queste forme di realizzazione sono descritte in sufficiente dettaglio per consentire a coloro che sono esperti nel ramo di realizzare in pratica l'invenzione, e si deve comprendere che si possono



S.I.B.  
ROMA

impiegare altre forme di realizzazione e che variazioni di processo, elettriche o meccaniche possono essere inserite senza discostarsi dall'ambito della presente invenzione. Il termine wafer o substrato come impiegato nella seguente descrizione comprende qualsiasi struttura di semiconduttore di base. Esempi includono tecnologia silicio su zaffiro (SOS), tecnologia a silicio su isolante (SOI), tecnologia a transistori a film sottile (TFT), semiconduttori drogati e non drogati, strati epitassiali di silicio supportati da una struttura di semiconduttore di base, così come altre strutture semiconduttrici ben note ad un esperto nel ramo. Inoltre, quando si fa riferimento ad un wafer o substrato nella seguente descrizione, possono essere stati utilizzati precedenti passi di processo per formare regioni/giunzioni nella struttura a semiconduttore di base, ed i termini wafer e substrato includono gli strati sottostanti contenenti tali regioni/giunzioni.

La seguente descrizione particolareggiata quindi non deve essere intesa in senso limitativo, e l'ambito della presente invenzione è definito soltanto dalle rivendicazioni allegate e dai loro equivalenti.

Sebbene metodi di collaudo e circuiti di compressione di dati qui descritti siano applicabili ad una varietà di tipi di dispositivi di memoria, incluse varie forme di dispositivi di memoria volatili e non volatili noti nella tecnica, tali metodi e circuiti di compressione verranno descritte in riferimento ad un dispositivo di memoria di tipo flash. Coloro che sono esperti nel ramo riconosceranno facilmente la loro applicabilità ad altri dispositivi di memoria che forniscono una uscita a pagina contenente due o più parole.

La figura 1A è uno schema a blocchi funzionale di un dispositivo 101 a memoria flash di base che è accoppiato ad un elaboratore 103. Il dispositivo 101 di memoria e l'elaboratore 103 possono formare parte di un sistema elettronico 100. Il dispositivo di memoria 101 è stato semplificato per focalizzarsi su caratteristiche della memoria che sono utili nella comprensione della presente invenzione. Il dispositivo di memoria 101 comprende una schiera di celle 105 di memoria. Le celle di memoria del dispositivo 101 di memoria possono essere celle di memoria a gate flottante non volatili. La schiera 105 di memoria è disposta in

righe e colonne, con le righe disposte in blocchi. Un blocco di memoria è una qualche parte discreta della schiera 105 di memoria. Singole linee di parola generalmente si estendono soltanto per un blocco di memoria mentre linee di bit possono estendersi per più blocchi di memoria. Le celle di memoria generalmente possono essere cancellate in blocchi. Dati, tuttavia, possono essere memorizzati nella schiera 105 di memoria separati dalla struttura a blocco. Un decodificatore 109 di riga ed un decodificatore 111 di colonna sono previsti per decodificare segnali di indirizzo forniti sulle linee di indirizzo A0-Ay 113. Un circuito 115 buffer di ingresso viene previsto per agganciare i segnali di ingresso. I segnali di ingresso sono ricevuti e decodificati per accedere alla schiera 105 di memoria. È previsto un circuito 119 di selezione di colonna per selezionare una colonna della schiera 105 di memoria in risposta a segnali di controllo dal decodificatore 111 di colonna. Un circuito 121 di rilevazione viene impiegato per rilevare ed amplificare dati memorizzati nelle celle di memoria. Circuiti buffer di ingresso dati 123 e di uscita 125 sono inclusi per la comunicazione di dati bidirezionale su una

molteplicità di linee di dati (DQ) con l'elaboratore 103. Un dispositivo di aggancio di dati 129 è tipicamente disposto tra il circuito 123 buffer di ingresso di dati ed il circuito 119 di selezione di colonna per memorizzare valori di dati (che devono essere scritti in una cella di memoria) ricevuti dalle linee 127 DQ. Dati amplificati dalla circuiteria 121 di rilevazione sono forniti al circuito 125 buffer di uscita di dati per l'uscita sulle linee DQ 127. Il circuito 125 buffer di uscita di dati include un circuito di compressione di dati secondo le forme di realizzazione dell'invenzione.

Il circuito 131 di controllo di comando decodifica segnali forniti sulle linee 135 di controllo dall'elaboratore 103. Questi segnali sono impiegati per controllare le operazioni sulla schiera di memoria 105, incluse le operazioni di lettura di dati, scrittura di dati e cancellazione. Il circuito 133 di controllo di ingresso/uscita viene impiegato per controllare il circuito 123 buffer di ingresso di dati ed il circuito 125 buffer di uscita dati in risposta ad alcuni dei segnali.

Dispositivi di memoria a semiconduttori sono



generalmente fabbricati su substrati semiconduttori. Ciascuno di questi substrati tipicamente contiene un certo numero di singoli dispositivi di memoria a semiconduttori formati in zone rettangolari note come die dopo la fabbricazione ciascun die viene separato o tagliato, quindi impaccato in un formato adatto per l'utilizzatore finale. Come espresso precedentemente, il dispositivo 101 di memoria flash è stato semplificato per facilitare una compressione di base delle caratteristiche della memoria. Una compressione più particolareggiata delle memorie flash è nota a coloro che sono esperti nel ramo. Il circuito 125 buffer di uscita di dati tipicamente comprende uno stadio di pilota di uscita avente un circuito di pilota di uscita per ciascuna linea DQ 127. La figura 1B è uno schema funzionale a blocchi di uno stadio 140 pilota di uscita per l'impiego con il dispositivo 101 di memoria della figura 1A secondo una prima forma di realizzazione dell'invenzione. Lo stadio 140 di pilota di uscita comprende uno o più circuiti 141 di pilotaggio di uscita. Ingressi 144 dei circuiti 142 di pilotaggio di uscita ricevono segnali di dati, quali ad esempio dai buffer del

circuito 125 buffer di uscita di dati. Vi è un ingresso 144 corrispondente a ciascuna collocazione di bit di una parola e quindi a ciascuna linea DQ 127. Uscite 146 dei circuiti 142 di pilota di uscita sono associati con ed accoppiati a ciascuna linea DQ 127 in una relazione uno a uno. Ciascun circuito 142 di pilota di uscita è sensibile ad un segnale di abilitazione di uscita fornito dall'elaboratore 103, quale il segnale di controllo esterno OE#, e ad un segnale di inibizione, quale il segnale interno di controllo OUTEN. La figura 1B illustra un segnale OE# di abilitazione di uscita globale ed un segnale OUTEN di inibizione globale in un circuito logico 148, e che fornisce il segnale di controllo combinato a ciascun circuito 142 di pilotaggio di uscita.

Il segnale OUTEN di inibizione globale può essere generato combinando il segnale di inibizione locale da ciascun circuito di compressione di dati in un altro circuito logico, quale una porta OR. In questo modo, se un circuito di compressione di dati indica che la sua collocazione data di bit non ha funzionato, tutti i circuiti 142 di pilotaggio di uscita possono essere disabilitati simultaneamente. Alternativamente, segnali di abilitazione di uscita

separati e segnali di inibizione possono essere applicati a ciascun circuito 142 di pilotaggio di uscita per disabilitare selettivamente solo quel circuito 142 di pilota di uscita corrispondente alla collocazione di bit che non ha funzionato. In aggiunta, il segnale di abilitazione di uscita ed il segnale di inibizione possono essere singolarmente applicati a ciascun circuito 142 di pilota di uscita, posto che ciascun circuito 142 di pilota di uscita sia adatto a rispondere a due segnali di controllo come qui descritto, ad esempio, consentendo la disabilitazione di un circuito 142 di pilota di uscita in risposta ad un livello logico del segnale di inibizione quale che sia il livello logico del segnale di abilitazione di uscita.

Come è ben noto nella tecnica, un circuito 142 di pilota di uscita può comprendere un circuito buffer del tipo tri-state avente tre possibili stati di uscita. In un primo stato il circuito 142 di pilota di uscita fornisce un primo livello di potenziale, quale il potenziale di alimentazione, indicativo di un primo livello logico. In un secondo stato, il circuito 142 di pilota di uscita fornisce un secondo livello di potenziale quale un



potenziale di massa, indicativo di un secondo livello logico. In un terzo stato, il circuito 142 di pilota di uscita fornisce un livello ad alta impedenza. Il circuito 142 di pilota di uscita è bloccato in un terzo stato quando l'uscita dei dati viene disabilitata. In assenza di un segnale di inibizione, il circuito 142 di pilota di uscita è generalmente in grado di rispondere sia ad un segnale di dati e ad un segnale di abilitazione di uscita. Quando il segnale di abilitazione di uscita ha un primo valore logico, quale un livello logico alto, il circuito 142 di pilota di uscita è disabilitato, presentando in tal modo un livello ad alta impedenza quale che sia il livello logico del segnale dei dati. Quando il segnale di abilitazione ha un secondo livello logico, quale un livello logico basso, il circuito 142 di pilota di uscita può essere abilitato per presentare o il primo livello di potenziale o il secondo livello di potenziale indicativo del livello logico del segnale di dati. Il circuito 131 di controllo di comando fornisce segnali di controllo aggiuntivi al circuito 125 di buffer di uscita di dati per disabilitare selettivamente il circuito pilota di uscita quale che sia il livello logico del segnale



S.I.B.  
ROMA

di abilitazione di uscita; questo segnale di inibizione viene generato da un circuito di compressione di dati come descritto.

Come menzionato precedentemente, una prova di verifica di scrittura può essere impiegata per collaudare la capacità della schiera di memoria a ricevere, trattenere e fornire in uscita dati in modo affidabile. Tali prove tipicamente comprendono la scrittura di una configurazione di dati, ad esempio, una configurazione di ingresso di 1 e 0, alla schiera di memoria. La configurazione di ingresso è spesso una configurazione ripetitiva, come ciascuna parola della pagina di ingresso avente la medesima configurazione. Per esempio, per una pagina comprendente due parole a 8 bit, la configurazione può essere di tutti zeri "0000000000000000", tutti uno "1111111111111111", a scacchiera "0101010101010101" o a scacchiera invertita "1010101010101010". In termini generici, in una configurazione ripetitiva per una pagina avente due o più parole, ciascun bit di una prima parola ha il medesimo valore di dati del suo bit corrispondente di ciascuna parola rimanente in modo tale che ciascuna parola abbia la stessa configurazione di dati. Detto in altro modo, per

una pagina avente  $M$  parole di  $N$  bit ciascuna,  $\text{bit}_n = \text{bit}_{mN+n}$  per ciascun valore di  $m$  e  $n$ , quando  $m$  è un qualche valore intero da 0 a  $M-1$  e  $n$  è un qualche valore intero da 0 a  $N-1$ .

Anche se si accede a ciascuna parola di una uscita di dati in un modo a pagina e questa viene rilevata in parallelo, i dati sono generalmente posti in uscita sulle linee DQ in modalità in serie dato che il numero di linee DQ è generalmente inferiore al numero di bit in una pagina. Durante il collaudo, un'apparecchiatura di collaudo tipicamente confronterà ciascuna parola della pagina come questa viene fornita sulle linee DQ. Le varie forme di realizzazione dell'invenzione forniscono un tempo ridotto di collaudo eliminando la necessità che l'apparecchiatura di collaudo legga ciascuna parola della pagina di uscita al fine di determinare l'accuratezza dei dati. Per una prima forma di realizzazione dell'invenzione, l'apparecchiatura di collaudo confronta soltanto la prima parola della pagina di uscita con una parola della configurazione di ingresso. Una tale riduzione nel tempo di collaudo è facilitata fornendo un modo di collaudo a compressione di dati entro il dispositivo di memoria.

Nel modo di collaudo a compressione di dati, il valore della collocazione del bit  $n^{\text{th}}$  di una prima parola è confrontata con il valore di dati della collocazione di bit  $n^{\text{th}}$  di ciascuna parola rimanente. Questo confronto viene effettuato all'interno del dispositivo di memoria. Viene generato un segnale di uscita avente un primo livello logico se ciascun bit  $n^{\text{th}}$  è identico, sia che esso sia uno 0 oppure un 1. Il segnale di uscita viene generato in modo da avere un secondo livello logico se almeno uno dei bit  $n^{\text{th}}$  è diverso dal bit  $n^{\text{th}}$  della prima parola. Il segnale di uscita del modo di collaudo a compressione di dati può essere impiegato come un segnale di inibizione per inibire o consentire selettivamente che il circuito di pilota di uscita fornisca la parola di uscita, ad esempio, la prima parola, sulle linee DQ in risposta al segnale di abilitazione di uscita OE#. Come esempio, quando il segnale di inibizione ha un primo livello logico, il circuito pilota di uscita è sensibile al segnale OE# di abilitazione di uscita. Tuttavia, quando il segnale di inibizione ha il secondo livello logico, il circuito pilota di uscita viene disabilitato quale che sia il valore del segnale OE# di abilitazione

di uscita. In questo modo, la parola di uscita viene fornita sulle linee DQ soltanto quando ciascun bit  $n^{\text{th}}$  coincide, posto che il circuito di pilota di uscita non sia disabilitato dal segnale OE# di abilitazione di uscita. L'apparecchiatura di prova può quindi riconoscere una condizione di collaudo che non ha funzionato con l'assenza di dati su una o più delle linee DQ quando il segnale OE# di abilitazione di uscita è indicativo di un desiderio di abilitare l'uscita dei dati. Se i dati sono presenti su ciascuna linea DQ, l'apparecchiatura di collaudo può quindi confrontare la parola di uscita con una parola della configurazione di dati di ingresso su una base bit per bit. Se tutti i bit coincidono, il collaudo è accettabile. Al contrario, se vi è un'assenza di coincidenza tra qualsiasi bit della parola di uscita ed il bit corrispondente della configurazione di dati di ingresso, il collaudo non è stato superato.

Le figure 2A-2B sono diagrammi logici dei circuiti 200 di compressione dati secondo forme di realizzazione dell'invenzione. I circuiti 200 di compressione dati sono circuiti logici per confrontare lo  $n^{\text{th}}$  bit di ciascun parola della



S.I.B.  
ROMA

pagina. I circuiti 200 di compressione di dati possono essere una parte dei circuiti 131 di controllo di comando. In genere, i circuiti 200 di compressione dati comprendono un primo circuito logico 205 ed un secondo circuito logico 210. Il primo circuito logico 205 ed il secondo circuito logico 210 ricevono ciascuno un bit  $n^{\text{th}}$  di ciascuna parola della pagina come ingressi dai nodi di ingresso 215 a 220. Per una pagina avente  $M$  parole di  $N$  bit ciascuna, in genere verranno impiegati  $N$  circuiti 200 di compressione di dati. Sebbene i circuiti 200 di compressione di dati presentano soltanto due nodi di ingresso 215 e 220 corrispondenti a due parole, si possono gestire altri numeri di parole aumentando il numero di nodi di ingresso. Per una pagina avente  $M$  parole di  $N$  bit ciascuna, ciascun circuito 200 di compressione dati generalmente includerebbe  $M$  nodi di ingresso.

L'uscita del primo circuito logico 205 ha un primo livello logico se tutti gli ingressi sono a livello logico basso ed un secondo livello logico se un qualsiasi ingresso ha un livello logico alto. L'uscita del secondo circuito logico 210 ha un primo livello logico se tutti gli ingressi sono ad un livello logico alto ed un secondo livello logico

se una qualsiasi entrata ha un livello logico basso. Come mostrato nella figura 2A, un circuito logico di esempio per il primo circuito logico 205 comprende una porta OR 205a ed un esempio di circuito logico per il secondo circuito logico 210 include una porta AND 210a. Come mostrato in figura 2B, un circuito logico di esempio per il primo circuito logico 205 include una porta NOR 205b, ed un esempio di circuito logico per il secondo circuito logico 210 include la porta NAND 210b.

Le uscite del primo circuito logico 205 e il secondo circuito logico 210 sono combinate come ingressi verso un terzo circuito logico 225. Il terzo circuito logico 225 produce una uscita avente un primo livello logico se i livelli logici di uscita del primo circuito logico 205 e del secondo circuito logico 210 coincidono. Il terzo circuito logico 225 produce una uscita avente un secondo livello logico se i livelli logici di uscita del primo circuito logico 205 e del secondo circuito logico 210 differiscono. Come mostrato nelle figure 2A-2B, circuiti logici esemplificativi per il terzo circuito logico 225 includono una porta XOR 225a ed una porta XNOR 225b. Il risultato è un segnale di uscita presentato sul nodo 230 avente un primo

livello logico se i valori di dati per una data collocazione di bit di ciascuna parola coincidono ed un secondo livello logico se almeno un valore di dati per la data collocazione di bit non coincide con i rimanenti valori di dati per la data collocazione di bit.

Il primo livello logico del primo circuito logico 205 ed il primo livello logico del secondo circuito logico 210 possono essere allo stesso livello logico. Come esempio, il primo circuito logico 205 potrebbe essere una porta OR 205a avente un livello logico basso per il suo primo livello logico e il secondo circuito logico 210 potrebbe essere una porta NAND 210b avente un livello logico basso per il suo primo livello logico. La scelta del terzo circuito logico 225 è generalmente dipendente dal livello logico desiderato del segnale di uscita sul nodo 230. Per l'esempio precedente, il terzo circuito logico 225 riceverà un livello logico alto ed un livello logico basso sui suoi ingressi se tutti i valori di dati coincidono per la data collocazione di bit e riceverà due livelli logici alto su i suoi ingressi se un qualsiasi valore di dati per la data collocazione di bit differisce. Se un segnale di



uscita avente un livello logico alto è desiderato per indicare valori di dati di coincidenza, si potrebbe impiegare una porta XOR 225a. Se si desidera un livello logico basso per indicare valori di dati di coincidenza, si potrebbe impiegare una porta XNOR 225b. Si possono impiegare altre combinazioni di circuiti logici per produrre il segnale appropriato di uscita sul nodo 230.

La figura 3A è uno schema a blocchi di un circuito 200 di compressione dati secondo un'altra forma di realizzazione dell'invenzione. Il circuito 200 di compressione di dati della figura 3A comprende un primo stadio buffer 305 ed un secondo stadio buffer 310 per ciascuna parola della pagina di uscita. I primi stadi buffer 305 hanno le loro uscite accoppiate in comune verso un primo ingresso del circuito logico 325. I secondi stadi 310 buffer hanno le loro uscite accoppiate in comune ad un secondo ingresso del circuito logico 325. I primi stadi buffer 305 collettivamente possono essere pensati come costituiti dal primo circuito logico 205 mentre i secondi stadi buffer 310 nel loro insieme possono essere considerati come il secondo circuito logico 210. Il circuito logico 225 genera un segnale di uscita OUTEN avente un primo livello



S.I.B.  
ROMA

logico se ambedue gli ingressi sono gli stessi ed un secondo livello logico se gli ingressi sono differenti. Per la porta XNOR mostrata come circuito logico 325 in figura 3A, il segnale OUTEN di uscita ha un livello logico se ambedue gli ingressi sono identici, sia che questi siano a livello logico basso o a livello logico alto, ed il segnale di uscita OUTEN ha un livello logico basso se un ingresso ha un livello logico basso e l'alto ingresso ha un livello logico alto.

Ciascun primo stadio buffer 305 produce un segnale di uscita che pilota un primo livello di corrente quando viene presentato un livello logico basso sul suo ingresso ed un segnale di uscita in grado di assorbire un secondo livello di corrente, più basso, quando un livello logico alto è presentato sul suo ingresso. Il primo livello di corrente su ciascun primo stadio buffer 305 viene scelto in modo che questo sia maggiore della somma dei secondi livelli di corrente per ciascun restante primo stadio buffer 305. Come esempio per una pagina contenente 8 parole, il primo livello di corrente di un primo stadio buffer 305 è maggiore di sette volte il secondo livello di corrente. In questo modo, l'uscita combinata dei primi stadi

buffer 305 è a livello logico alto se almeno un segnale di dati sugli ingressi 315 ha un livello logico basso; il pilotaggio di corrente del primo stadio buffer 305 non può essere superato dall'assorbimento di corrente combinato di tutti i rimanenti primi stadi buffer 305. Similmente, l'uscita combinata dei primi stadi buffer 305 è a livello logico basso tanto se tutti i segnali di dati o ingressi 315 hanno un livello alto. Per una prima forma di realizzazione, il primo livello di corrente dei primi stadi buffer 305 viene scelto per essere molto maggiore del secondo livello di corrente dei primi stadi buffer 305 per ridurre il tempo di risposta della loro uscita combinata. Per una ulteriore forma di realizzazione, il primo livello di corrente viene scelto rispetto al secondo livello di corrente in modo tale che il tempo di risposta per una transizione del segnale combinato dei primi stadi buffer 305 da un livello logico basso ad un livello logico alto sia inferiore a circa 10 nS. Ciascun secondo stadio buffer 310 produce un segnale di uscita che pilota un primo livello di corrente quando un livello logico basso viene presentato sul suo ingresso e un segnale di uscita in grado di assorbire un secondo,

più grande, livello di corrente quando un livello logico alto viene presentato sul suo ingresso. Il secondo livello di corrente di ciascun secondo stadio buffer 310 viene scelto in modo che questo sia maggiore della somma dei primi livelli di corrente per ciascun secondo rimanente stadio buffer 310. Ad esempio, per una pagina contenente otto parole, il secondo livello di corrente di un secondo stadio buffer 310 è maggiore di sette volte il primo livello di corrente. In questo modo, l'uscita combinata dei secondi stadi buffer 310 è a livello logico basso se almeno un segnale di dati sugli ingressi 315 ha un livello logico alto; l'assorbimento di corrente del secondo stadio buffer 310 non può essere superato dal pilotaggio in corrente combinato di tutti i restanti secondi stadi buffer 310. Similmente, l'uscita combinata dei secondi stadi buffer 310 è un livello logico alto soltanto se tutti i segnali di dati sugli ingressi 315 hanno un livello logico basso. Per una prima forma di realizzazione, il secondo livello di corrente dei secondi stadi buffer 310 viene scelto per essere molto maggiore del primo livello di corrente dei secondi stadi buffer 310 per ridurre il tempo di risposta della loro uscita combinata.

Per una ulteriore forma di realizzazione, il secondo livello di corrente viene scelto rispetto al primo livello di corrente in modo tale per cui il tempo di risposta per una transizione del segnale combinato dei secondi stadi buffer 310 dal livello logico alto al livello logico basso sia inferiore a circa 10 nS.

Le figure 3B e 3C mostrano schemi di un primo stadio buffer 305 ed un secondo stadio buffer 310, rispettivamente, per l'impiego nel circuito 200 di compressione di dati della figura 3A secondo una prima forma di realizzazione dell'invenzione. Il primo stadio buffer 305 comprende un primo transistor ad effetto di campo a canale p (pFET) 350 e un primo transistor ad effetto di campo a canale n (nFET) 355 accoppiati in serie tra un primo nodo di potenziale 360 ed un secondo nodo di potenziale 365. Il primo nodo di potenziale 360 viene accoppiato per ricevere un primo potenziale e il secondo nodo di potenziale 365 è accoppiato per ricevere un secondo potenziale inferiore al primo potenziale. Il primo nodo di potenziale 360 può essere accoppiato per ricevere un potenziale di alimentazione quale Vcc. Il secondo nodo di potenziale 365 può essere accoppiato per ricevere



un potenziale di massa quale  $V_{ss}$ .

Il primo pFET 350 ed il primo nFET 355 hanno ciascuno i loro assorbitori accoppiati alla uscita del primo stadio buffer 305 e le loro porte accoppiate all'ingresso del primo stadio buffer 305 per ricevere il segnale di dati. Il primo nFET 355 è un dispositivo a canale n debole in modo che la sua conduttanza all'attivazione sia bassa rispetto alla conduttanza all'attivazione del primo pFET 350. Il risultato di ciò è che il primo nFET 355 è in grado di assorbire una corrente relativamente piccola all'attivazione mentre il primo pFET 350 è in grado di condurre una corrente relativamente grande all'attivazione. Per una forma di realizzazione, il primo nFET 355 ha un rapporto  $W/L$  che è più piccolo del rapporto  $W/L$  del primo pFET 350. Per una ulteriore forma di realizzazione, il primo nFET 355 ha un rapporto  $W/L$  di circa 3/10 mentre il primo pFET 350 ha un rapporto  $W/L$  di circa 40/1.

Il circuito 200 di compressione di dati dovrebbe essere disabilitato nel funzionamento normale e abilitato soltanto durante il collaudo desiderato. Un metodo per disabilitare i circuiti 200 di compressione di dati può includere la

disabilitazione di ciascun primo stadio buffer 305. Come mostrato in figura 3B, il primo stadio buffer 305 comprende inoltre un secondo pFET 370 ed un secondo nFET 375. Il secondo pFET 370 è accoppiato tra il primo nodo 360 di potenziale ed il primo pFET 350 ha la sua porta accoppiata per ricevere un primo segnale di abilitazione **enb**. Il secondo nFET 375 viene accoppiato tra il secondo nodo di potenziale 365 ed il primo nFET 355 ha la sua porta accoppiata per ricevere un secondo segnale di abilitazione **en**. Il secondo segnale di abilitazione **en** può essere il complemento binario del primo segnale di abilitazione **enb** in modo tale che il secondo pFET 370 ed il secondo nFET 375 siano ambedue attivati o ambedue disattivati. Il secondo pFET 370 ed il secondo nFET 375 dovrebbero essere attivati durante il modo di collaudo a compressione di dati e disattivati durante il funzionamento normale del dispositivo di memoria. La disattivazione del secondo pFET 370 e del secondo nFET 375 disabilita il primo stadio buffer 305, presentando quindi in tal modo un livello di impedenza elevato sulla sua uscita. Per una prima forma di realizzazione, il secondo pFET 370 ha la stessa larghezza del primo pFET 350, e il secondo

nFET 375 ha la stessa larghezza del primo nFET 355. Scegliendo la medesima larghezza di questi transistori adiacenti comporta la semplificazione dei transistori su un substrato semiconduttore. Per una ulteriore forma di realizzazione, il secondo pFET 370 ha un rapporto W/L di circa 40/1 mentre il secondo nFET 375 ha un rapporto W/L di circa 3.1.

Come mostrato nella figura 3C, il secondo stadio buffer 310 include un primo pFET 380 ed un primo nFET 385 accoppiati in serie da un primo nodo di potenziale 390 ed un secondo nodo di potenziale 395. Il primo nodo di potenziale 390 è accoppiato per ricevere un primo potenziale ed il secondo nodo di potenziale 395 è accoppiato per ricevere un secondo potenziale inferiore al primo potenziale. Il primo nodo di potenziale 390 può essere accoppiato per ricevere un potenziale di alimentazione quale  $V_{cc}$ . Il secondo nodo di potenziale 395 può essere accoppiato per ricevere un potenziale di terra quale  $V_{ss}$ . Per una prima forma di realizzazione, il primo nodo di potenziale 390 del secondo circuito buffer 310 ed il primo nodo di potenziale 390 del primo circuito buffer 305 sono ciascuno accoppiati per ricevere il medesimo potenziale di alimentazione. Per una



ulteriore forma di realizzazione, il secondo nodo di potenziale 395 del secondo circuito buffer 310 ed il secondo nodo di potenziale 365 del primo circuito buffer 305 sono ciascuno accoppiati per ricevere il medesimo potenziale di massa.

Il primo pFET 380 ed il primo nFET 385 hanno ciascuno i loro assorbitori accoppiati all'uscita del secondo stadio buffer 310 e le loro porte accoppiate all'ingresso del secondo stadio buffer 310 per ricevere i segnali di dati. Il primo pFET 380 è un dispositivo a canale p debole tale che la sua conduttanza all'attivazione sia bassa rispetto alla conduttanza all'attivazione del primo nFET 385. Il risultato è che il primo pFET 380 è in grado di condurre una corrente relativamente bassa all'attivazione mentre il primo nFET 385 è in grado di assorbire una corrente relativamente grande all'attivazione. Per una prima forma di realizzazione, il primo pFET 380 ha un rapporto W/L che è più piccolo del rapporto W/L del primo nFET 385. Per una ulteriore forma di realizzazione, il primo pFET 380 ha un rapporto W/L di circa 4/5 mentre il primo nFET 385 ha un rapporto W/L di circa 20/1.

Come indicato precedentemente, i circuiti 200



SIB.  
10/11

di compressione di dati dovrebbero essere disabilitati in condizioni di funzionamento normale e abilitati soltanto durante il collaudo desiderato. Un metodo per disabilitare i circuiti 200 di compressione di dati può inoltre comprendere la disabilitazione di ciascun secondo stadio buffer 310. Come mostrato in figura 3C, il secondo stadio buffer 310 comprende inoltre un secondo pFET 400 ed un secondo nFET 405. Il secondo pFET 400 è accoppiato tra il primo nodo di potenziale 390 ed il primo pFET 380 alla sua porta accoppiata per ricevere il primo segnale di abilitazione **enb**. Il secondo nFET 405 è accoppiato tra il secondo nodo di potenziale 395 ed il primo nFET 385 ed ha la sua porta accoppiata per ricevere il secondo segnale di abilitazione **en**. Il secondo segnale **en** di abilitazione può essere il complemento binario del primo segnale di abilitazione **enb** in modo tale che il secondo pFET 400 ed il secondo nFET 405 siano ambedue attivati o ambedue disattivati. Il secondo pFET 400 ed il secondo nFET 405 dovranno essere attivati durante il modo a collaudo a compressione di dati e disattivati durante il funzionamento normale del dispositivo di memoria. La disattivazione del secondo pFET 400 ed il secondo

nFET 405 disabilita il secondo stadio buffer 310, presentando in tal modo un livello di impedenza elevata sulla sua uscita. Per una prima forma di realizzazione, il secondo pFET 400 ha la medesima larghezza del primo pFET 380 ed il secondo nFET 405 alla stessa larghezza del primo nFET 385. Scegliendo la medesima larghezza di questi transistori adiacenti si semplifica la fabbricazione dei transistori su uno substrato semiconduttore. Per una ulteriore forma di realizzazione, il secondo pFET 400 ha un rapporto W/L di 4/1 mentre il secondo nFET 405 ha un rapporto W/L di 20/1.

Il modo di collaudo a compressione di dati viene avviato o impostato in risposta ad una sequenza o configurazione di uno o più segnali di controllo ricevuti dal dispositivo di memoria. Nel modo di collaudo a compressione di dati, i circuiti di compressione di dati sono attivati o abilitati. Per esempio, i segnali di abilitazione **en** ed **enb** possono essere sottoposti a transizione a livelli logici appropriati per attivare il primo ed il secondo dei circuiti buffer. Una configurazione di dati viene scritta nella schiera di memoria prima o dopo l'abilitazione dei circuiti di compressione di

dati. Si accede quindi alla schiera di memoria per generare una pagina di uscita contenente due o più parole, ciascuna parola contenendo uno o più bit.

Il segnale dati per ciascun bit della parola nella pagina di uscita viene confrontato contro il suo bit corrispondente per ciascuna altra parola della pagina di uscita. Se i bit per ciascuna collocazione di bit in una parola coincidono per ciascuna parola nella pagina, le unità pilota di uscita non sono inibite, cioè, le unità pilota di uscita sono consentite essere sensibili al segnale di abilitazione di uscita e ai loro segnali di dati. Se una collocazione di bit in una parola ha un valore di segnali di dati che è diverso dalla collocazione di bit corrispondente in una qualsiasi altra parola della pagina, la unità pilota di uscita per quella collocazione di bit viene disabilitata quale che sia il valore del segnale di abilitazione di uscita o del segnale dei dati. Per un'altra forma di realizzazione, se una qualsiasi collocazione di bit in una parola ha un valore di segnale di dati che è diverso dalla collocazione di bit corrispondente in qualsiasi altra parola della pagina, le unità pilota di uscita per tutte le collocazioni di bit sono disabilitate quale che sia

il valore del segnale di abilitazione di uscita o dei segnali di dati. Il segnale di abilitazione di uscita viene fatto eseguire una transizione ad un livello logico indicativo del desiderio di porre in uscita dati; le unità pilota di uscita abilitate presenteranno un segnale dati sulle loro uscite e i piloti di uscita disabilitati presenteranno una impedenza elevata sulle loro uscite.

Le condizioni delle unità pilota di uscita possono essere rivelate dall'apparecchiatura di collaudo come diversi livelli di potenziale, ad esempio, un segnale dati avente un primo livello logico per un pilota di uscita abilitato può essere rappresentato da un primo livello di potenziale, un segnale dati avente un secondo livello logico per una unità pilota di uscita abilitata può essere rappresentato da un secondo livello di potenziale ed un segnale di dati avente un qualsiasi livello logico per una unità pilota di uscita disabilitata può essere rappresentato da un livello di potenziale intermedio tra il primo livello di potenziale ed il secondo livello di potenziale. Il primo livello di potenziale può essere il potenziale di alimentazione quale Vcc, il secondo livello di potenziale può essere un potenziale di



S.I.B.  
ROMA

massa quale Vss e il potenziale a livello intermedio può essere approssimativamente  $V_{cc}/2$ . In risposta ad una o più unità pilota di uscita disabilitate, quando si prevede una uscita, l'apparecchiatura di collaudo può ritenere che il dispositivo sotto prova (DUT) sia avariato. Si prevede una uscita quando il segnale di abilitazione di uscita quale il segnale di controllo OE# è fornito al DUT ed ha un livello logico indicativo di un desiderio di fornire un'uscita.

Si deve notare che una collocazione di bit può contenere il valore di dati errato in ciascuna parola della pagina. Anche se ciò non provocherà la disabilitazione di una unità pilota di uscita, dato che ciascuna parola conterrà lo stesso valore di dati per la locazione di bit, ciò darà origine ad un valore di dati erroneo fornito sulla linea DQ. Conseguentemente l'apparecchiatura di collaudo dovrà ancora confrontare il valore di dati letto dalla schiera di memoria rispetto al vapore di configurazione di dati scritto nella schiera di memoria per determinare l'avaria del DUT se i segnali di dati sono forniti su ciascuna linea DQ.

Se il DUT passa per una parola, cioè ad

esempio la prima parola, letta dalla pagina, si ritiene che passi per ciascuna parola della pagina. Tale collaudo verrebbe quindi ripetuto per pagine aggiuntive di uscita del DUT, leggendo soltanto una parola da ciascuna pagina per determinare la avaria o l'accettabilità del dispositivo. Una prova di verifica di scrittura effettuata secondo l'invenzione può migliorare eccezionalmente il tempo richiesto per tali collaudi. Con una avaria o accettabilità del dispositivo determinabile in seguito alla lettura di soltanto una parola da ciascuna pagina, la lettura delle parole restanti della pagina può essere aggirata, eliminando quindi tempo che sarebbe stato necessario per leggere tali parole aggiuntive.

#### CONCLUSIONE

Sono stati descritti dispositivi di memoria avente un modo di funzionamento normale ed un modo di funzionamento a collaudo. Il modo di funzionamento a collaudo include un modo di collaudo a compressione di dati. Nel modo di collaudo a compressione di dati, la lettura di una parola di una pagina di uscita fornisce una indicazione dei valori di dati delle parole restanti della pagina di uscita. Il tempo

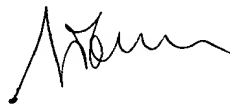
necessario per leggere e verificare una configurazione di prova ripetitiva può essere ridotto in quanto soltanto una parola di ciascuna pagina di uscita richiede di essere letta per determinare la capacità del dispositivo di memoria a scrivere e memorizzare accuratamente valori di dati. I dispositivi di memoria includono circuiti di compressione di dati per confrontare valori di dati per ciascuna collocazione di bit di ciascuna parola della pagina di uscita. L'uscita viene selettivamente disabilitata se una collocazione di bit per una parola della pagina di uscita ha un valore dati differente da qualsiasi altra parola restante nella pagina di uscita. L'apparecchiatura di collaudo può rivelare l'uscita disabilitata e ritenere che un dispositivo è in avaria se la uscita è disabilitata quando si prevede una uscita. Confrontando le collocazioni di bit interne al dispositivo di memoria, l'apparecchiatura di collaudo richiede soltanto una parola di ciascuna pagina per determinare se tutte le parole della pagina coincidono con la configurazione di prova ripetitiva. Leggendo soltanto una parola di una pagina di uscita, il tempo di collaudo può essere ridotto ad una frazione del tempo richiesto per



leggere ciascuna parola della pagina di uscita.

Anche se siano state illustrate e qui descritte specifiche forme di realizzazione, sarà compreso da parte di coloro che sono ordinariamente esperti nel ramo che qualsiasi disposizione che è calcolata per raggiungere lo stesso scopo può essere sostituita alle specifiche forme di realizzazione mostrate. Numerosi adattamenti dell'invenzione saranno chiari a coloro che possiedono una ordinaria esperienza nel ramo. Conseguentemente, questa domanda è intesa a proteggere qualsiasi adattamento o variazione dell'invenzione. È manifestamente inteso che questa invenzione sia limitata soltanto dalle seguenti rivendicazioni e loro equivalenti.

**Gilberto Tonon**  
(Iscr. Albo n. 83 BM)



S.I.B.  
ROMA

RM2001 A 000104

RIVENDICAZIONI

1. Circuito (200) a compressione di dati in un dispositivo di memoria (101), comprendente:
  - un primo circuito logico (205) per ricevere segnali di dati corrispondenti ad una data collocazione di bit di ciascuna parola di una pagina di uscita del dispositivo di memoria (101) e per fornire un primo segnale di uscita indicativo del fatto che ciascun segnale di dati abbia un primo livello logico;
  - un secondo circuito logico (210) per ricevere segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101) e per fornire un secondo segnale di uscita indicativo del fatto che ciascun segnale di dati ha un secondo livello logico diverso dal primo livello logico; e
  - un terzo circuito logico (225) per ricevere il primo segnale di uscita e il secondo segnale di uscita e per fornire un terzo segnale di uscita indicativo del fatto che ciascun segnale di dati ha lo stesso

livello logico.

2. Circuito (200) di compressione di dati della rivendicazione 1, in cui il primo circuito logico (205) ultimamente comprende:

una molteplicità di ingressi, in cui gli ingressi sono accoppiati per ricevere segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101);

una uscita, in cui l'uscita del primo circuito logico (205) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente un livello logico basso ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di dati avente un livello logico alto.

3. Circuito di compressione di dati (200) della rivendicazione 2, in cui il primo livello logico del primo circuito logico (205) è un livello logico alto e il secondo livello logico del primo circuito logico (205) è un livello logico basso.
4. Circuito (200) di compressione di dati della rivendicazione 1, in cui il secondo circuito

logico (210) comprende ulteriormente:

una molteplicità di ingressi in cui gli ingressi sono accoppiati per ricevere segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101); e

una uscita, in cui l'uscita del secondo circuito logico (210) ha un primo livello logico e quando ciascun ingresso riceve un segnale di dati avente il livello logico alto ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di dati avente il livello logico basso.

5. Circuito di compressione di dati (200) della rivendicazione 4, in cui il primo livello logico del secondo circuito logico (210) è un livello logico basso ed il secondo livello logico del secondo circuito logico (210) è un livello logico alto.

6. Circuito di compressione di dati (200) della rivendicazione 1, ulteriormente comprendente:  
in cui il primo circuito logico (205) ulteriormente comprende:

una molteplicità di ingressi in cui gli

ingressi sono accoppiati per ricevere segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101); e

una uscita in cui l'uscita del primo circuito logico (205) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente un livello logico basso ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di dati avente un livello logico alto;

in cui il secondo circuito logico (210) ulteriormente comprende:

una molteplicità di ingressi in cui gli ingressi sono accoppiati per ricevere dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria; e

una uscita, in cui l'uscita del secondo circuito logico (210) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente il livello logico alto ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di



SIR  
ROM

dati avente il livello logico basso; e  
in cui il terzo circuito logico (225)  
ulteriormente comprende:  
un primo ingresso per ricevere l'uscita del  
primo circuito logico (205);  
un secondo ingresso per ricevere l'uscita del  
secondo circuito logico (210); e  
un'uscita (230) in cui l'uscita (230) del terzo  
circuito logico (225) ha un primo livello  
logico quando l'uscita del primo circuito  
logico (205) ha il suo primo livello  
logico;  
in cui l'uscita (230) del terzo circuito logico  
(225) ha il suo primo livello logico quando  
l'uscita del secondo circuito logico (210)  
ha il suo primo livello logico; e  
in cui l'uscita (230) del terzo circuito logico  
(225) ha un secondo livello logico quando  
l'uscita del primo circuito logico (205) ha  
il suo secondo livello logico e l'uscita  
del secondo circuito logico (210) ha il suo  
secondo livello logico.

7. Circuito di compressione dati (200) della  
rivendicazione 6, in cui il primo livello  
logico del primo circuito logico (205) è

diverso dal primo livello logico del secondo circuito logico (210).

8. Circuito di compressione dati (200) della rivendicazione 7, in cui il primo livello logico del primo circuito logico (205) è un livello logico alto, il secondo livello logico del primo circuito logico (205) è un livello logico basso, il primo livello logico del secondo circuito logico (210) è un livello logico basso ed il secondo livello logico del secondo circuito logico (210) è un livello logico alto.
9. Circuito di compressione dati della rivendicazione 1, in cui il primo circuito logico (205) è una porta OR (205a).
10. Circuito di compressione dati della rivendicazione 1, in cui il primo circuito logico (205) è una porta NOR (205b).
11. Circuito di compressione dati della rivendicazione 1, in cui il secondo circuito logico (210) è una porta AND (210a).
12. Circuito di compressione dati della rivendicazione 1, in cui il secondo circuito logico (210) è una porta NAND (210b).
13. Circuito di compressione dati della

513  
202.1.1

rivendicazione 1, in cui il primo circuito logico (205) è una porta OR (205a) ed il secondo circuito logico (210) è una porta AND (210a).

14. Circuito di compressione dati della rivendicazione 1, in cui il primo circuito logico (205) è una porta NOR (205b) ed il secondo circuito logico (210) è una porta NAND (210b).

15. Circuito di compressione dati della rivendicazione 1, in cui il terzo circuito logico (225) è una porta XOR (225a).

16. Circuito di compressione dati della rivendicazione 1, in cui il terzo circuito logico (225) è una porta XNOR (225b).

17. Circuito di compressione dati (200) della rivendicazione 1, ulteriormente comprendente:  
in cui il primo circuito logico (205) ha una molteplicità di ingressi ed una uscita,  
in cui ciascun ingresso è accoppiato per ricevere un segnale di dati corrispondente alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101) in una relazione uno-a-uno, ed in cui l'uscita del



primo circuito logico (205) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente un livello logico basso ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di dati avente un livello logico alto;

in cui il secondo circuito logico (210) ha una molteplicità di ingressi ed una uscita, in cui ciascun ingresso è accoppiato per ricevere segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101) in una relazione uno-a-uno, ed in cui l'uscita del secondo circuito logico (210) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente il livello logico alto ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di dati avente il livello logico basso;

in cui il terzo circuito logico (225) ha un primo ingresso per ricevere l'uscita del primo circuito logico, un secondo ingresso



S.I.B.  
ROMA

- per ricevere l'uscita del secondo circuito logico, ed una uscita (230);
- in cui l'uscita (230) del terzo circuito logico (225) ha un primo livello logico quando l'uscita del primo circuito logico (205) ha il suo primo livello logico;
- in cui l'uscita (230) del terzo circuito logico (225) ha il suo primo livello logico quando l'uscita del secondo circuito logico (210) ha il suo primo livello logico; e
- in cui l'uscita (230) del terzo circuito logico (225) ha un secondo livello logico quando l'uscita del primo circuito logico (205) ha il suo secondo livello logico e l'uscita del secondo circuito logico (210) ha il suo secondo livello logico.
18. Circuito (200) di compressione dati della rivendicazione 1, ulteriormente comprendente:
- in cui il primo circuito logico (205) comprende ulteriormente una molteplicità di primi stadi buffer (305), ciascun primo stadio buffer (305) avente un ingresso per ricevere un segnale di dati per una data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria

(101) ed avendo una uscita, in cui ciascun primo stadio buffer (305) è accoppiato per ricevere un segnale dati per la data collocazione di bit di una diversa parola della pagina di uscita ed in cui ciascun primo stadio buffer (305) ha la sua uscita accoppiata alle uscite dei rimanenti primi stadi buffer (305);

in cui il secondo circuito logico (210) comprende inoltre una molteplicità di secondi stadi buffer (310), ciascun secondo stadio buffer (310) avendo un ingresso per ricevere un segnale dati per la data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria ed avendo una uscita, in cui ciascun secondo stadio buffer (310) è accoppiato per ricevere un segnale dati per la data collocazione di bit di una diversa parola della pagina di uscita ed in cui ciascun secondo stadio buffer (310) ha la sua uscita accoppiata alle uscite dei rimanenti secondi stadi buffer;

in cui il terzo circuito logico (225, 325) comprende ulteriormente un primo ingresso

accoppiato alle uscite dei primi stadi buffer (305), un secondo ingresso accoppiato alle uscite dei secondi stadi buffer (310), ed una uscita (230) per fornire un segnale di controllo;

in cui il primo ingresso del terzo circuito logico (225, 325) ha un primo livello logico quando il segnale dati per la data collocazione di bit di ciascuna parola della pagina di uscita ha un livello logico basso e il primo ingresso del terzo circuito logico (225, 325) ha un secondo livello logico quando il segnale dati per la data collocazione bit di una qualsiasi parola della pagina di uscita ha un livello logico alto;

in cui il secondo ingresso del terzo circuito logico (225, 325) ha un primo livello logico quando il segnale dati per la data collocazione di bit di ciascuna parola della pagina di uscita ha un livello logico alto ed il secondo ingresso del terzo circuito logico (225, 325) ha un secondo livello logico quando il segnale dati per la data collocazione di bit di una

- qualsiasi parola della pagina di uscita ha un livello logico basso;
- in cui il segnale di controllo ha un primo livello logico quando il primo ingresso del terzo circuito logico (225, 325) ha il suo primo livello logico;
- in cui il segnale di controllo ha un primo livello logico quando il secondo ingresso del terzo circuito logico (225, 325) ha il suo primo livello logico; e
- in cui il segnale di controllo ha un secondo livello logico quando il primo ingresso del terzo circuito logico (225, 325) ed il secondo ingresso del terzo circuito logico (225, 325) hanno ciascuno i loro secondi livelli logici.
19. Circuito di compressione dati (200) della rivendicazione 18, in cui ciascun primo stadio buffer (305) assorbe un primo livello di corrente in risposta ad un segnale di dati avente un livello logico alto e pilota un secondo maggiore, livello di corrente in risposta ad un segnale dati avente un livello logico basso.
20. Circuito di compressione dati (200) della



rivendicazione 19, in cui il secondo livello di corrente per un primo stadio buffer (305) ha una ampiezza maggiore del primo livello di corrente per ciascun rimanente primo stadio buffer (305) combinato.

21. Circuito di compressione dati (200) della rivendicazione 18, in cui ciascun secondo stadio buffer (310) assorbe un primo livello di corrente in risposta ad un segnale di dati avente un livello logico alto e pilota un secondo, più basso, livello di corrente in risposta ad un segnale di dati avente un livello logico basso.

22. Circuito di compressione dati (200) della rivendicazione 21, in cui il primo livello di corrente per un secondo stadio buffer (310) è di ampiezza maggiore del secondo livello di corrente per ciascun rimanente secondo stadio buffer (305) combinato.

23. Circuito di compressione dati (200) della rivendicazione 18, in cui ciascun primo stadio buffer (305) è accoppiato per ricevere un segnale dati corrispondente ad una diversa parola della pagina di uscita ed in cui vi è un primo stadio buffer (305) per ciascuna parola

della pagina di uscita.

24. Circuito di compressione dati (200) della rivendicazione 18, in cui ciascun secondo stadio buffer (310) è accoppiato per ricevere un segnale di dati corrispondente ad una diversa parola della pagina di uscita ed in cui vi è un secondo stadio buffer (310) per ciascuna parola della pagina di uscita.
25. Circuito di compressione dati (200) della rivendicazione 18, in cui ciascun primo stadio buffer (305) e ciascun secondo stadio buffer (310) sono ulteriormente accoppiati per ricevere almeno un segnale di controllo per disabilitare selettivamente gli stadi buffer (305, 310).
26. Circuito di compressione dati (200) della rivendicazione 25, in cui ciascun primo stadio buffer (305) è un circuito buffer tri-state ed almeno un segnale di controllo pone selettivamente in tri-state ciascun primo stadio buffer (305).
27. Circuito di compressione dati (200) della rivendicazione 25, in cui ciascun secondo stadio buffer (310) è un circuito buffer tri-state e lo almeno un segnale di controllo

selettivamente pone in tri-state ciascun secondo stadio buffer (310).

28. Circuito (200) di compressione dati della rivendicazione 1, ulteriormente comprendente:

in cui il primo circuito logico (205) comprende ulteriormente una molteplicità di primi stadi buffer (305), ciascun primo stadio buffer (305) avendo un ingresso accoppiato per ricevere un segnale di dati per la data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria (101) ed avendo una uscita, in cui le uscite dei primi stadi buffer (305) sono accoppiate in comune ed in cui ciascun primo stadio buffer (305) comprende ulteriormente:

un primo transistorore ad effetto di campo a canale p (350) avente una porta accoppiata all'ingresso del suo primo stadio buffer (305), una sorgente accoppiata ad un primo nodo di potenziale (360), ed un assorbitore accoppiato all'uscita del suo primo stadio buffer (305); e

un primo transistorore ad effetto di campo a canale n (355) avente una porta accoppiata



all'ingresso del suo primo stadio buffer (305), una sorgente accoppiata ad un secondo nodo di potenziale (365), ed un assorbitore accoppiato all'uscita del suo primo stadio buffer (305);

in cui il primo nodo di potenziale (360) è accoppiato per ricevere un primo potenziale ed il secondo nodo di potenziale (365) è accoppiato per ricevere un secondo potenziale più basso del primo potenziale; e

in cui il primo transistor ad effetto di campo a canale p (350) è dimensionato per avere una conduttanza all'attivazione che è superiore alla conduttanza all'attivazione per il primo transistor ad effetto di campo a canale n (355);

in cui il secondo circuito logico (210) comprende ulteriormente una molteplicità di secondi stadi buffer (310), ciascun secondo stadio buffer (310) avendo un ingresso accoppiato per ricevere un segnale di dati per la data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria (101) ed avendo una



828  
R. 11

uscita, in cui le uscite dei secondi stadi buffer (310) sono accoppiate in comune ed in cui ciascun secondo stadio buffer (310) ulteriormente comprende:

un primo transistorore ad effetto di campo a canale p (380) avente una porta accoppiata all'ingresso del suo secondo stadio buffer (310), una sorgente accoppiata ad un primo nodo di potenziale (390), ed un assorbitore accoppiato alla uscita del suo secondo stadio buffer (310); e

un primo transistorore ad effetto di campo a canale n (385) avente una porta accoppiata all'ingresso del suo secondo stadio buffer (310), una sorgente accoppiata ad un secondo nodo di potenziale (395), ed un assorbitore accoppiato all'uscita del suo secondo stadio buffer (310);

in cui il primo nodo di potenziale (390) è accoppiato per ricevere un primo potenziale ed il secondo nodo di potenziale (395) è accoppiato per ricevere un secondo potenziale inferiore al primo potenziale; ed

in cui il primo transistorore ad effetto di campo

a canale p (380) è dimensionato per avere una conduttanza all'attivazione che è inferiore alla conduttanza all'attivazione per il primo transistor ad effetto di campo a canale n (385); e

in cui il terzo circuito logico (225) comprende ulteriormente un primo ingresso accoppiato alle uscite accoppiate in comune dei primi stadi buffer (305), un secondo ingresso accoppiato alle uscite accoppiate in comune dei secondi stadi buffer (310) ed una uscita (230), in cui l'uscita (230) ha un primo livello logico quando livelli logici ricevuti sui primi e secondi ingressi sono identici ed un secondo livello logico quando i livelli logici ricevuti sui primi e secondi ingressi differiscono.

29. Circuito di compressione dati (200) secondo la rivendicazione 28, in cui il primo transistor ad effetto di campo a canale p (350) di un primo stadio buffer (305) ha un maggiore rapporto W/L rispetto al primo transistor ad effetto di campo a canale n (355) del primo stadio buffer (305).

30. Circuito di compressione dati (200) secondo la

rivendicazione 29, in cui il primo transistor ad effetto di campo a canale p (350) del primo stadio buffer (305) ha un rapporto W/L di circa 40/1 ed il primo transistor ad effetto di campo a canale n (355) del primo stadio buffer (305) ha un rapporto W/L di circa 3/10.

31. Circuito di compressione dati (200) della rivendicazione 28, in cui il primo transistor ad effetto di campo a canale p (380) di un secondo stadio buffer (310) ha un più piccolo rapporto W/L rispetto al primo transistor ad effetto di campo a canale n (385) del secondo stadio buffer (310).
32. Circuito di compressione dati (200) della rivendicazione 31, in cui il primo transistor ad effetto di campo a canale p (380) del secondo stadio buffer (310) ha un rapporto W/L di circa 4/5 ed il primo transistor ad effetto di campo a canale n (385) del secondo stadio buffer (310) ha un rapporto W/L di circa 20/1.
33. Circuito di compressione dati (200) della rivendicazione 28, in cui ciascun primo stadio buffer (305) è accoppiato per ricevere un segnale di dati corrispondente ad una diversa parola della pagina di uscita ed in cui vi è un

primo stadio buffer (305) per ciascuna parola della pagina di uscita.

34. Circuito di compressione dati (200) della rivendicazione 28, in cui ciascun secondo stadio buffer (310) viene accoppiato per ricevere un segnale di dati corrispondente ad una diversa parola della pagina di uscita ed in cui vi è un secondo stadio buffer (310) per ciascuna parola della pagina di uscita.
35. Circuito di compressione dati (200) della rivendicazione 28, in cui il primo nodo di potenziale (360) di un primo stadio buffer (305) è accoppiato per ricevere un potenziale di alimentazione.
36. Circuito di compressione dati (200) della rivendicazione 28, in cui il secondo nodo di potenziale (365) di un primo stadio buffer (305) è accoppiato per ricevere un potenziale di massa.
37. Circuito di compressione dati (200) della rivendicazione 28, in cui il primo nodo di potenziale (390) di un secondo stadio buffer (310) è accoppiato per ricevere un potenziale di alimentazione.
38. Circuito di compressione dati (200) della



rivendicazione 28, in cui il secondo nodo di potenziale (395) di un secondo stadio buffer (310) è accoppiato per ricevere un potenziale di massa.

39. Circuito di compressione dati (200) della rivendicazione 28, in cui il primo nodo di potenziale (360) di ciascun primo stadio buffer (305) ed il primo nodo di potenziale (390) di ciascun secondo stadio buffer (310) sono accoppiati ciascuno per ricevere il medesimo potenziale di alimentazione.

40. Circuito di compressione dati (200) della rivendicazione 28, in cui il secondo nodo di potenziale (365) di ciascun primo stadio buffer (305) ed il secondo nodo di potenziale (395) di ciascun secondo stadio buffer (310) sono ciascuno accoppiati per ricevere il medesimo potenziale di massa.

41. Circuito di compressione dati (200) della rivendicazione 28, ulteriormente comprendente:  
in cui ciascun primo stadio buffer (305) ulteriormente comprende un secondo transistor ad effetto di campo a canale p (370) accoppiato tra il primo nodo di potenziale (360) ed il primo transistor ad

effetto di campo a canale p (350) ed un secondo transistor ad effetto di campo a canale n (375) accoppiato tra il secondo nodo di potenziale (365) ed il primo transistor ad effetto di campo a canale n (355);

in cui il secondo transistor ad effetto di campo a canale p (370) ha una porta accoppiata per ricevere un primo segnale di abilitazione; e

in cui il secondo transistor ad effetto di campo a canale n (375) ha una porta accoppiata per ricevere un secondo segnale di abilitazione diverso dal primo segnale di abilitazione.

42. Circuito di compressione dati (200) della rivendicazione 41, in cui il secondo segnale di abilitazione è il complemento binario del primo segnale di abilitazione.

43. Circuito di compressione dati (200) della rivendicazione 28, ulteriormente comprendente:  
in cui ciascun secondo stadio buffer (310) ulteriormente comprende un secondo transistor ad effetto di campo a canale p (400) accoppiato tra il primo nodo di

potenziale (390) ed il primo transistoro ad effetto di campo a canale p (380) ed un secondo transistoro ad effetto di campo a canale n (405) accoppiato tra il secondo nodo di potenziale (395) ed il primo transistoro ad effetto di campo a canale n (385);

in cui il secondo transistoro ad effetto di campo a canale p (400) ha una porta accoppiata per ricevere un primo segnale di abilitazione; e

in cui il secondo transistoro ad effetto di campo a canale n (405) ha una porta accoppiata per ricevere un secondo segnale di abilitazione diverso dal primo segnale di abilitazione.

44. Circuito di compressione dati (200) della rivendicazione 43, in cui il secondo segnale di abilitazione è il complemento binario del primo segnale di abilitazione.

45. Dispositivo di memoria (101), comprendente:

un circuito di compressione dati (200) avente una molteplicità di ingressi per ricevere segnali di dati ed una uscita (230) per fornire un primo segnale di controllo, in



cui il circuito di compressione dati (200) ha i suoi ingressi accoppiati per ricevere segnali di dati rappresentativi di valori di dati per una data collocazione di bit di ciascuna parola di una pagina di uscita del dispositivo di memoria (101), ed in cui il primo segnale di controllo ha un primo livello logico quando i segnali di dati per la prima collocazione di bit coincidono ed un secondo livello logico quando qualsiasi segnale di dati per la data collocazione di bit differisce; e

un circuito pilota di uscita (142) per fornire un'uscita indicativa di un segnale di dati, in cui il circuito pilota di uscita (142) è disabilitato quando il primo segnale di controllo ha il secondo livello logico.

46. Dispositivo di memoria (101) della rivendicazione 45, in cui il circuito pilota di uscita (142) è sensibile ad un secondo segnale di controllo ed i suoi segnali di dati quando il primo segnale di controllo ha il primo livello logico.

47. Dispositivo di memoria (101) della rivendicazione 46, in cui il secondo segnale di



S.I.B.  
ROMA

controllo è un segnale di abilitazione globale di uscita.

48. Dispositivo di memoria (101) della rivendicazione 46, in cui il primo segnale di controllo ed il secondo segnale di controllo sono combinati come parte di un segnale globale di inibizione ed il circuito pilota di uscita (142) è sensibile al segnale globale di inibizione.
49. Dispositivo di memoria (101) della rivendicazione 45, ulteriormente comprendente: un circuito addizionale di compressione dati (200) avente una molteplicità di ingressi per ricevere segnali di dati ed una uscita (230) per fornire un terzo segnale di controllo, in cui il circuito (200) di compressione dati ha i suoi ingressi accoppiati per ricevere segnali di dati rappresentativi di valori di dati per una diversa data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101), ed in cui il terzo segnale di controllo possiede un primo livello logico quando i segnali di dati per la diversa collocazione data di

bit coincidono ed un secondo livello logico quando qualsiasi segnale di dati per la diversa collocazione di bit data differisce; e

un circuito pilota di uscita aggiuntivo (142) per fornire un segnale di uscita indicativo di un segnale di dati, in cui il circuito pilota di uscita aggiuntivo (142) viene disabilitato quando il terzo segnale di controllo ha il secondo livello logico.

50. Dispositivo di memoria (101) della rivendicazione 49, in cui il circuito pilota di uscita aggiuntivo (142) è sensibile al secondo segnale di controllo ed il suo segnale dati quando il terzo segnale di controllo ha il primo livello logico.

51. Dispositivo di memoria (101) della rivendicazione 49, in cui il circuito pilota aggiuntivo di uscita (142) viene disabilitato quando il primo segnale di controllo o il terzo segnale di controllo ha il suo secondo livello logico.

52. Dispositivo di memoria (101) della rivendicazione 49, in cui il primo segnale di controllo ed il terzo segnale di controllo sono

combinati come parte di un segnale globale di inibizione e ciascun circuito pilota di uscita (142) è sensibile al segnale globale di inibizione.

53. Dispositivo di memoria (101) della rivendicazione 52, in cui il primo segnale di controllo ed il terzo segnale di controllo sono combinati come parte di un segnale globale di inibizione, in cui il segnale globale di inibizione ed il secondo segnale di controllo sono combinati come un segnale di controllo combinato, ed in cui ciascun circuito pilota di uscita (142) è sensibile al segnale di controllo combinato.

54. Dispositivo di memoria (101) della rivendicazione 52, in cui il segnale di controllo per ciascun circuito (200) di compressione dati ed il secondo circuito di controllo sono posti in OR per generare un segnale di controllo combinato, ed in cui ciascun circuito pilota di uscita (142) è sensibile al segnale di controllo combinato.

55. Dispositivo di memoria (101) della rivendicazione 49, in cui ciascun circuito pilota di uscita (142) viene disabilitato se un

qualsiasi segnale di controllo di un circuito (200) di compressione dati è indicativo di una non coincidenza da un valore di dati per una collocazione di bit di una prima parola della pagina di uscita ed il valore di dati per la sua collocazione di bit corrispondente di una qualsiasi parola restante della pagina di uscita.

56. Dispositivo di memoria (101) della rivendicazione 49, ulteriormente comprendente un circuito (200) di compressione di dati ed un circuito pilota di uscita (142) corrispondente a ciascuna collocazione di bit di una parola della pagina di uscita del dispositivo di memoria (101).

57. Dispositivo di memoria (101) della rivendicazione 45, in cui il circuito di compressione dati (200) comprende:

un primo circuito logico (205) per ricevere i segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101) e per fornire un primo segnale di uscita indicativo del fatto che ciascun segnale di dati abbia un primo



S. 13  
10.33.1410

livello logico;

un secondo circuito logico (210) per ricevere i segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria (101) e per fornire un secondo segnale di uscita indicativo del fatto che ciascun segnale di dati abbia un secondo livello logico diverso dal primo livello logico; e

un terzo circuito logico (225) per ricevere il primo segnale di uscita ed il secondo segnale di uscita e per fornire il primo segnale di controllo indicativo del fatto che ciascun segnale di dati abbia lo stesso livello logico.

58. Dispositivo di memoria (101) della rivendicazione 45, in cui il circuito di compressione dati (200) comprende:

un primo circuito logico (205) comprendente:

una molteplicità di ingressi, in cui gli ingressi sono accoppiato per ricevere i segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di

memoria (101); e

una uscita in cui l'uscita del primo circuito logico (205) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente un livello logico basso ed un secondo livello logico quando qualsiasi ingresso riceve un segnale di dati avente un livello logico alto;

un secondo circuito logico (210) comprendente:

una molteplicità di ingressi, in cui gli ingressi sono accoppiati per ricevere i segnali di dati corrispondenti alla data collocazione di bit di ciascuna parola della pagina di uscita del dispositivo di memoria; e

un'uscita in cui l'uscita del secondo circuito logico (205) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente il livello logico alto ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di dati avente il livello logico basso; e

un terzo circuito logico (225) comprendente:

un primo ingresso per ricevere l'uscita del primo circuito logico (205);

un secondo ingresso per ricevere l'uscita del secondo circuito logico (210);

un'uscita (230) per fornire il primo segnale di controllo;

in cui il primo segnale di controllo ha il suo primo livello logico quando l'uscita del primo circuito logico (205) ha il suo primo livello logico;

in cui il primo segnale di controllo ha il suo primo livello logico quando l'uscita del secondo circuito logico (205) ha un primo livello logico quando ciascun ingresso riceve un segnale di dati avente il livello logico alto ed un secondo livello logico quando un qualsiasi ingresso riceve un segnale di dati avente il livello logico basso; e

un terzo circuito logico (225) comprendente:

un primo ingresso per ricevere l'uscita del primo circuito logico (205);

un secondo ingresso per ricevere l'uscita del secondo circuito logico (210); e

un'uscita (230) per fornire il primo segnale di controllo;

in cui il primo segnale di controllo ha il suo



primo livello logico quando l'uscita del primo circuito logico (205) ha il suo primo livello logico;

in cui il primo segnale di controllo ha il suo primo livello logico quando l'uscita del secondo circuito logico (210) ha il suo primo livello logico; e

in cui il primo segnale di controllo ha il suo secondo livello logico quando l'uscita del primo circuito logico (205) ha il suo secondo livello logico e l'uscita del secondo circuito logico (210) ha il suo secondo livello logico.

59. Dispositivo di memoria (101) della rivendicazione 58, in cui il primo livello logico del primo circuito logico (205) è diverso dal primo livello logico del secondo circuito logico (210).

60. Dispositivo di memoria (101) della rivendicazione 59, in cui il primo livello logico del primo circuito logico (205) è un livello logico alto, il secondo livello logico del primo circuito logico (205) è un livello logico basso, il primo livello logico del circuito logico (210) è un livello logico basso



ed il secondo livello logico del secondo circuito logico (210) è un livello logico alto.

61. Dispositivo di memoria (101) della rivendicazione 45, in cui il circuito di compressione dati (200) comprende:

una molteplicità di primi stadi buffer (305),  
ciascun primo stadio buffer (305) avendo un ingresso per ricevere un segnale dati per la data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria (101) ed avendo una uscita, ciascun primo stadio buffer (305) viene accoppiato per ricevere un segnale di dati per la data collocazione di bit di una diversa parola della pagina di uscita ed in cui ciascun primo stadio buffer (305) ha la sua uscita accoppiata all'uscita dei rimanenti primi stadi buffer (305);

una molteplicità di secondi stadi buffer (310),  
ciascun secondo stadio buffer (310) avendo un ingresso per ricevere un segnale di dati per la data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria e avendo una uscita, in cui ciascun secondo stadio buffer (310)

è accoppiato per ricevere un segnale di dati per la data collocazione di bit di una diversa parola della pagina di uscita ed in cui ciascun secondo stadio buffer (310) ha la sua uscita accoppiata alle uscite dei rimanenti secondi stadi buffer; e

un circuito logico (325) avente un primo ingresso accoppiato alle uscite dei primi stadi buffer (305), un secondo ingresso accoppiato alle uscite dei secondi stadi buffer (310) ed una uscita (230) per fornire il primo segnale di controllo;

in cui il primo ingresso del circuito logico (325) ha un primo livello logico quando il segnale di dati per la data collocazione di bit di ciascuna parola di pagina di uscita ha un livello logico basso ed il primo ingresso del circuito logico (325) ha un secondo livello logico quando il segnale dati per la data collocazione di bit di una qualsiasi parola della pagina di uscita ha un livello logico alto;

in cui il secondo ingresso del circuito logico (325) ha un primo livello logico quando il segnale dati per la data collocazione di

bit su ciascuna parola della pagina di uscita ha un livello logico alto ed il secondo ingresso del circuito logico (325) ha un secondo livello logico quando il segnale dati per la data collocazione di bit di una qualsiasi parola di una pagina di uscita ha un livello logico basso; e  
in cui il primo segnale di controllo ha il suo primo livello logico quando il primo ingresso del circuito logico (325) ha il suo primo livello logico;  
in cui il primo segnale di controllo ha il suo primo livello logico quando il secondo ingresso del circuito logico (325) ha il suo primo livello logico; e  
in cui il primo segnale di controllo ha il suo secondo logico quando il primo ingresso del circuito logico (325) ed il secondo ingresso del circuito logico (325) hanno ciascuno i loro secondi livelli logici.

62. Dispositivo di memoria (101) della rivendicazione 61, in cui ciascun primo stadio buffer (305) è accoppiato per ricevere un segnale di dati corrispondente ad una diversa parola della pagina di uscita ed in cui vi è un

primo stadio buffer (305) per ciascuna parola della pagina di uscita.

63. Dispositivo di memoria (101) della rivendicazione 61, in cui ciascun secondo stadio buffer (310) è accoppiato per ricevere un segnale di dati corrispondente ad una diversa parola della pagina di uscita ed in cui vi è un secondo stadio buffer (310) per ciascuna parola della pagina di uscita.

64. Dispositivo di memoria (101) della rivendicazione 61, in cui ciascun primo stadio buffer (305) e ciascun secondo stadio buffer (310) sono ulteriormente accoppiati per ricevere almeno un segnale di controllo per disabilitare selettivamente gli stadi buffer (305, 310).

65. Dispositivo di memoria (101) della rivendicazione 61, in cui ciascun primo stadio buffer (305) assorbe un primo livello di corrente in risposta ad un segnale di dati avente un livello logico alto e pilota un secondo livello di corrente, più grande, in risposta ad un segnale di dati avente un livello logico basso.

66. Dispositivo di memoria (101) della



rivendicazione 65, in cui il secondo livello di corrente per un primo stadio buffer (305) è di valore più grande del primo livello di corrente per ciascun rimanente primo stadio buffer (305) combinato.

67. Dispositivo di memoria (101) della rivendicazione 61, in cui ciascun secondo stadio buffer (310) assorbe un primo livello di corrente in risposta ad un segnale di dati avente un livello logico alto e pilota un secondo livello di corrente, più piccolo, in risposta ad un segnale di dati avente un livello logico basso.

68. Dispositivo di memoria (101) della rivendicazione 67, in cui il primo livello di corrente per un secondo stadio buffer (310) è più grande in valore del secondo livello di corrente per ciascun secondo stadio buffer rimanente (305) combinato.

69. Dispositivo di memoria (101) della rivendicazione 45, in cui il circuito di compressione dati (200) comprende:

una molteplicità di primi stadi buffer (305),  
ciascun primo stadio buffer (305) avendo un  
ingresso accoppiato per ricevere un segnale

di dati per la data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria (101) ed avendo una uscita, in cui le uscite dei primi stadi buffer (305) sono accoppiati in comune ed in cui ciascun primo stadio buffer (305) ulteriormente comprende:

un primo transistorore ad effetto di campo a canale p (350) avente una porta accoppiata all'ingresso del suo primo stadio buffer (305), una sorgente accoppiata ad un primo nodo di potenziale (360), ed un assorbitore accoppiato all'uscita del suo primo stadio buffer (305); e

un primo transistorore ad effetto di campo a canale n (355) avente una porta accoppiata all'ingresso del suo primo stadio buffer (305), una sorgente accoppiata ad un secondo nodo di potenziale (365), ed un assorbitore accoppiato all'uscita del suo primo stadio buffer (305);

in cui il primo nodo di potenziale (360) è accoppiato per ricevere un primo potenziale ed il secondo nodo di potenziale (365) è accoppiato per ricevere un secondo

5.7.8.  
2031

potenziale più basso del primo potenziale;  
e

in cui il primo transistor ad effetto di campo a canale p (350) è dimensionato per avere una conduttanza all'attivazione che è più elevata della conduttanza all'attivazione del primo transistor ad effetto di campo a canale n (355);

una molteplicità di secondi stadi buffer (310), ciascun secondo stadio buffer (310) avendo un ingresso accoppiato per ricevere un segnale di dati per la data collocazione di bit di una parola della pagina di uscita del dispositivo di memoria (101) ed avendo una uscita, in cui le uscite dei secondi stadi buffer (310) sono accoppiati in comune ed in cui ciascun secondo stadio buffer (310) ulteriormente comprende:

un primo transistor ad effetto di campo a canale p (380) avente una porta accoppiata all'ingresso del suo secondo stadio buffer (310), una sorgente accoppiata ad un primo nodo di potenziale (390), ed un assorbitore accoppiato all'uscita del suo secondo stadio buffer (310); e



un primo transistoro ad effetto di campo a canale n (385) avente una porta accoppiata all'ingresso del suo secondo stadio buffer (310), una sorgente accoppiata ad un secondo nodo di potenziale (395), ed un assorbitore accoppiato all'uscita del suo secondo stadio buffer (310);

in cui il primo nodo di potenziale (390) è accoppiato per ricevere un primo potenziale ed il secondo nodo di potenziale (395) è accoppiato per ricevere un secondo potenziale più basso del primo potenziale; e

in cui il primo transistoro ad effetto di campo a canale p (380) è dimensionato per avere una conduttanza all'attivazione che è più bassa della conduttanza all'attivazione per il primo transistoro ad effetto di campo a canale n (385);

un circuito logico (325) avente un primo ingresso accoppiato alle uscite accoppiate in comune dei primi stadi buffer (305), un secondo ingresso accoppiato alle uscite accoppiate in comune dei secondi stadi buffer (310) ed un uscita (230) per fornire



il primo segnale di controllo, in cui il primo segnale di controllo ha il suo primo livello logico quando livelli logici ricevuti sul primo e secondo degli ingressi del circuito logico (325) sono gli stessi e il suo secondo livello logico quando i livelli logici ricevuti sui primi e secondi ingressi del circuito logico (325) differiscono.

70. Dispositivo di memoria (101) della rivendicazione 69, in cui il primo transistor ad effetto di campo a canale p (350) di un primo stadio buffer (305) ha un maggiore rapporto W/L rispetto al primo transistor ad effetto di campo a canale n (355) del primo stadio buffer (305).
71. Dispositivo di memoria (101) della rivendicazione 70, in cui il primo transistor ad effetto di campo a canale p (350) del primo stadio buffer (305) ha un rapporto W/L di circa 40/1 ed il primo transistor ad effetto di campo a canale n (355) del primo stadio buffer (305) ha un rapporto W/L di circa 3/10.
72. Dispositivo di memoria (101) della rivendicazione 69, in cui il primo transistor

ad effetto di campo a canale p (380) ed un secondo stadio buffer (310) ha un più piccolo rapporto W/L rispetto al primo transistor ad effetto di campo a canale n (385) del secondo stadio buffer (310).

73. Dispositivo di memoria (101) della rivendicazione 72, in cui il primo transistor ad effetto di campo a canale p (380) del secondo stadio buffer (310) ha un rapporto W/L di circa 4/5 ed il primo transistor ad effetto di campo a canale n (385) del secondo stadio buffer (310) ha un rapporto W/L di circa 20/1.
74. Dispositivo di memoria (101) della rivendicazione 69, in cui ciascun primo stadio buffer (305) è accoppiato per ricevere un segnale di dati corrispondente ad una diversa parola della pagina di uscita ed in cui è presente un primo stadio buffer (305) per ciascuna parola della pagina di uscita.
75. Dispositivo di memoria (101) della rivendicazione 69, in cui ciascun secondo stadio buffer (310) è accoppiato per ricevere un segnale di dati corrispondente ad una diversa parola della pagina di uscita ed in cui è presente un secondo stadio buffer (310) per

3.7.88  
3.8.88  
14.10.88

ciascuna parola della pagina di uscita.

76. Dispositivo di memoria (101) della rivendicazione 69, in cui il primo nodo di potenziale (360) di ciascun primo stadio buffer (305) ed il primo nodo di potenziale (390) di ciascun secondo stadio buffer (310) sono ciascuno accoppiati per ricevere il medesimo potenziale di alimentazione.
77. Dispositivo di memoria (101) della rivendicazione 69, in cui il secondo nodo di potenziale (365) di ciascun primo stadio buffer (305) ed il secondo nodo di potenziale (395) di ciascun secondo stadio buffer (310) sono ciascuno accoppiati per ricevere il medesimo potenziale di massa.
78. Dispositivo di memoria (101) della rivendicazione 69, ulteriormente comprendente:  
in cui ciascun primo stadio buffer (305) ulteriormente comprende un secondo transistor ad effetto di campo a canale p (370) accoppiato tra il primo nodo di potenziale (360) e il primo transistor ad effetto di campo a canale p (350) ed un secondo transistor ad effetto di campo a canale n (375) accoppiato tra il secondo

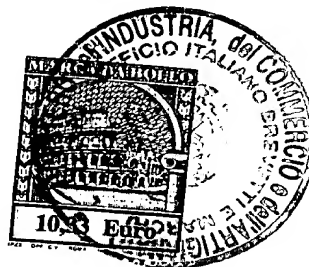
nodo di potenziale (365) ed il primo transistor ad effetto di campo a canale n (355);

in cui il secondo transistor ad effetto di campo p (370) ha il gate accoppiato per ricevere un primo segnale di abilitazione;  
e

in cui il secondo transistor ad effetto di campo a canale n (375) ha il gate accoppiato per ricevere un secondo segnale di abilitazione differente dal primo segnale di abilitazione.

79. Dispositivo di memoria (101) della rivendicazione 78, in cui il secondo segnale di abilitazione è il complemento binario del primo segnale di abilitazione.

80. Dispositivo di memoria (101) della rivendicazione 69, ulteriormente comprendente:  
in cui ciascun secondo stadio buffer (310) ulteriormente comprende un secondo transistor ad effetto di campo a canale p (400) accoppiato tra il primo nodo di potenziale (390) ed il primo transistor ad effetto di campo a canale p (380) ed un secondo transistor ad effetto di campo a



canale n (405) accoppiato tra il secondo nodo di potenziale (395) ed il primo transistore ad effetto di campo a canale n (385);

in cui il secondo transistore ad effetto di campo a canale p (400) ha il gate accoppiato per ricevere un primo segnale di abilitazione; e

in cui il secondo transistore (405) ad effetto di campo a canale n ha la porta accoppiata per ricevere un secondo segnale di abilitazione diverso dal primo segnale di abilitazione.

81. Dispositivo di memoria (101) della rivendicazione 80, in cui il secondo segnale di abilitazione è il complemento binario del primo segnale di abilitazione.

82. Dispositivo di memoria (101) della rivendicazione 45, in cui il dispositivo di memoria (101) è accoppiato ad un elaboratore (103).

83. Metodo per collaudare un dispositivo di memoria (101), comprendente:

accedere ad una schiera di memoria (105) per generare una pagina di uscita contenente

- almeno due parole, in cui la pagina di uscita ha una configurazione di dati ripetitiva e ciascuna parola ha almeno una collocazione di bit;
- confrontare segnali di dati per una data collocazione di bit di ciascuna parola della pagina di uscita;
- disabilitare l'uscita per segnali di dati corrispondenti ad almeno la data collocazione di bit
- se almeno uno dei segnali di dati per la data collocazione di bit differisce da un qualsiasi restante segnale di dati per la data collocazione di bit;
- tentare di leggere una parola della pagina di uscita;
- determinare se l'uscita è disabilitata per almeno la data collocazione di bit;
- in cui l'uscita disabilitata è indicativa di avaria del dispositivo di memoria (101).
84. Metodo della rivendicazione 83, in cui il tentare di leggere una parola della pagina dell'uscita comprende il tentare di leggere soltanto una parola della pagina di uscita.
85. Metodo della rivendicazione 83 ulteriormente

comprendente:

scrivere la configurazione di dati ripetitiva  
sulla schiera di memoria (105) prima di  
accedere alla schiera di memoria (105):

86. Metodo della rivendicazione 85, in cui la  
configurazione di dati ripetitiva è una  
configurazione ripetitiva di tutti zeri.
87. Metodo della rivendicazione 85, in cui la  
configurazione di dati ripetitiva è una  
configurazione ripetitiva di tutti uno.
88. Metodo della rivendicazione 85, in cui la  
configurazione di dati ripetitiva è una  
configurazione a scacchiera.
89. Metodo della rivendicazione 85, in cui la  
configurazione di dati ripetitiva è una  
configurazione a scacchiera inversa.
90. Metodo della rivendicazione 83, ulteriormente  
comprendente:

confrontare segnali di dati per una data  
collocazione di bit aggiuntiva di ciascuna  
parola della pagina di uscita  
concorrentemente con il confrontare segnali  
di dati per la data collocazione di bit;  
disabilitare l'uscita per segnali di dati  
corrispondenti ad almeno la data



collocazione di bit aggiuntiva se almeno un segnale di dati per la collocazione data di bit aggiuntiva differisce da qualsiasi altro segnale di dati rimanenti per la data collocazione di bit aggiuntiva.

91. Metodo della rivendicazione 83, ulteriormente comprendente:

confrontare segnali di dati per una data collocazione aggiuntiva di bit di ciascuna parola della pagina di uscita correntemente con il confrontare segnali di dati per la data collocazione di bit;

disabilitare l'uscita per tutti i segnali di dati se almeno un segnale di dati per la data collocazione di bit differisce da un qualsiasi altro segnale di dati rimanenti per la data collocazione di bit; e

disabilitare l'uscita per tutti i segnali di dati se almeno un segnale di dati per la data collocazione di bit aggiuntiva differisce da qualsiasi rimanente segnale di dati per la data collocazione di bit aggiuntiva.

92. Metodo della rivendicazione 83, in cui la disabilitazione di uscita ulteriormente



S.I.B.  
ROMA

comprende il disabilitare un circuito pilota di uscita (142).

93. Metodo della rivendicazione 92, in cui la disabilitazione di un circuito pilota di uscita (142) ulteriormente comprende il porre in tri-state il circuito pilota di uscita (142).
94. Metodo della rivendicazione 83, in cui il confrontare segnali di dati per una data collocazione di bit di ciascuna parola della pagina di uscita comprende l'applicare segnali di dati ad un primo circuito logico (205) ed un secondo circuito logico (210), in cui il primo circuito logico (205) è configurato per fornire un primo segnale di uscita indicativo del fatto che ciascun segnale di dati ha un primo livello logico, ed in cui il secondo circuito logico (210) è configurato per fornire un secondo segnale di uscita indicativo del fatto che ciascun segnale di dati possiede un secondo livello logico differente dal primo livello logico.
95. Metodo della rivendicazione 94, in cui il confrontare segnali di dati per una data collocazione di bit di ciascuna parola della pagina di uscita ulteriormente comprende il

generare un segnale di controllo dal primo segnale di uscita e il secondo segnale di uscita indicativo del fatto che ciascun segnale di dati ha il medesimo livello logico.

96. Metodo della rivendicazione 83, ulteriormente comprendente:

confrontare un valore di dati letto dalla schiera di memoria (105) contro un valore di configurazione di dati scritto nella schiera di memoria (105); e

indicare un'avaria del dispositivo di memoria (101) se il valore di dati letto dalla schiera di memoria (105) differisce dal valore di schiera di dati scritto nella schiera di memoria (105) quale che sia il fatto che una qualsiasi uscita è disabilitata.

97. Metodo della rivendicazione 83, ulteriormente comprendente:

ripetere il metodo per ciascuna pagina di uscita del dispositivo di memoria (101).

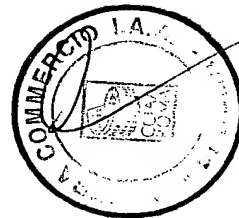
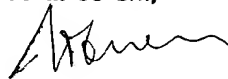
98. Metodo della rivendicazione 83, in cui comprende ulteriormente:

ripetere il metodo per ciascuna pagina di uscita del dispositivo di memoria (101) e

il tentare di leggere soltanto una parola  
di ciascuna pagina di uscita.

p.p. MICRON TECHNOLOGY, INC.

*Gilberto Tonon*  
(Isr. Albo n. 83 BM)



S.I.B.  
ROMA

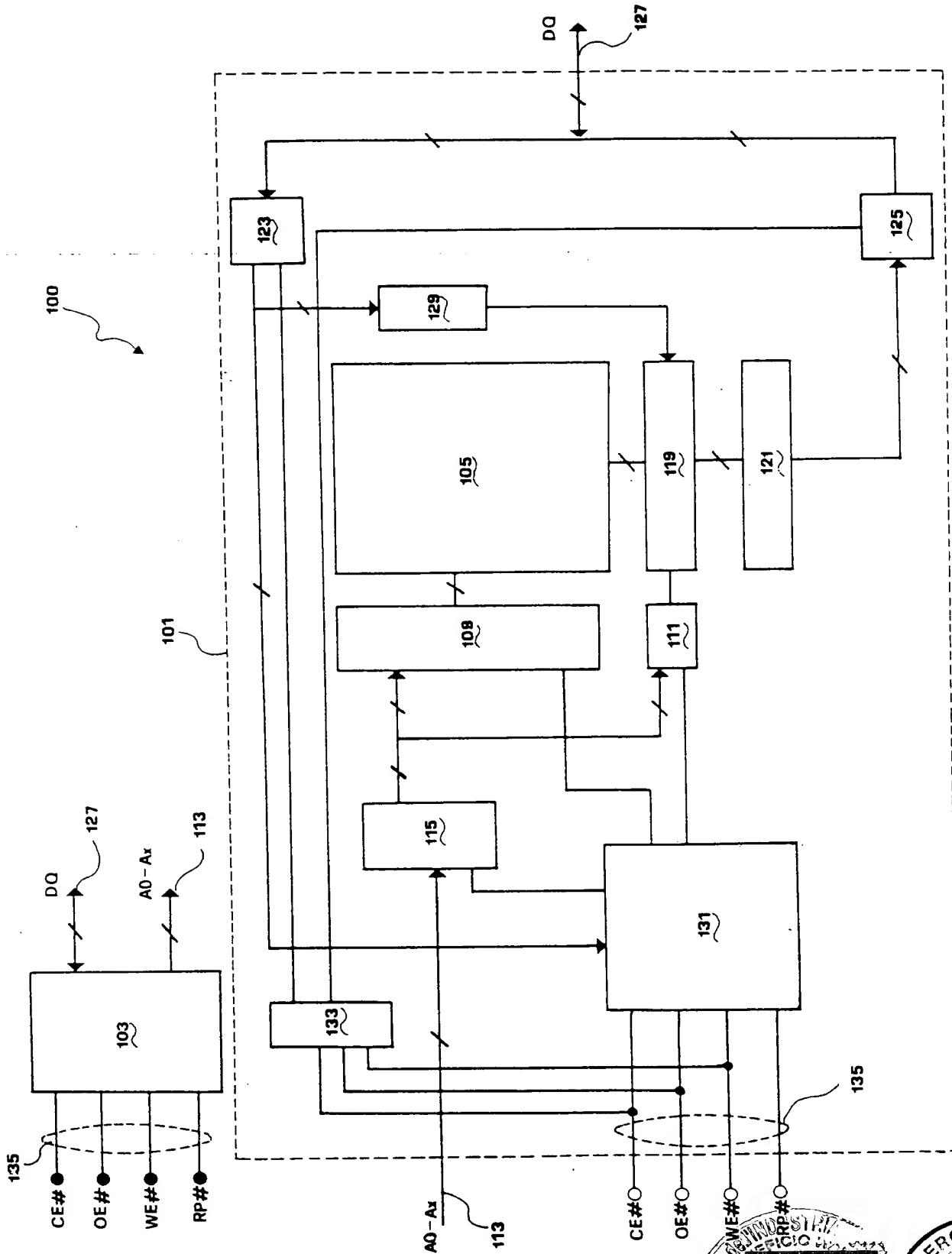


Fig.1a



RM2001 A 000104

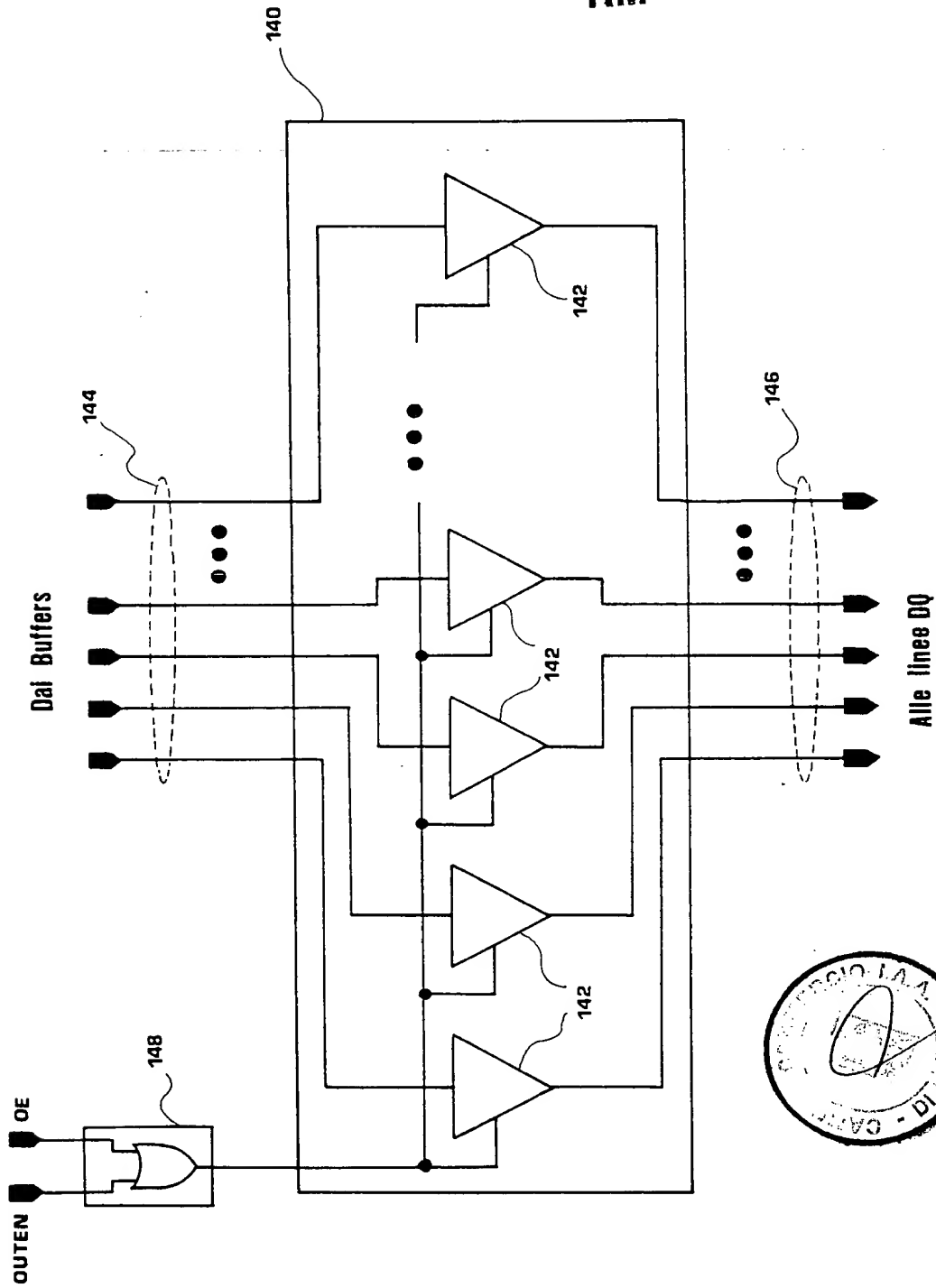
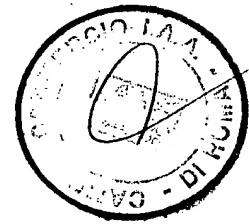


Fig.1b



Gilberto Tonon  
(Isr. Albo n. 83 BM)

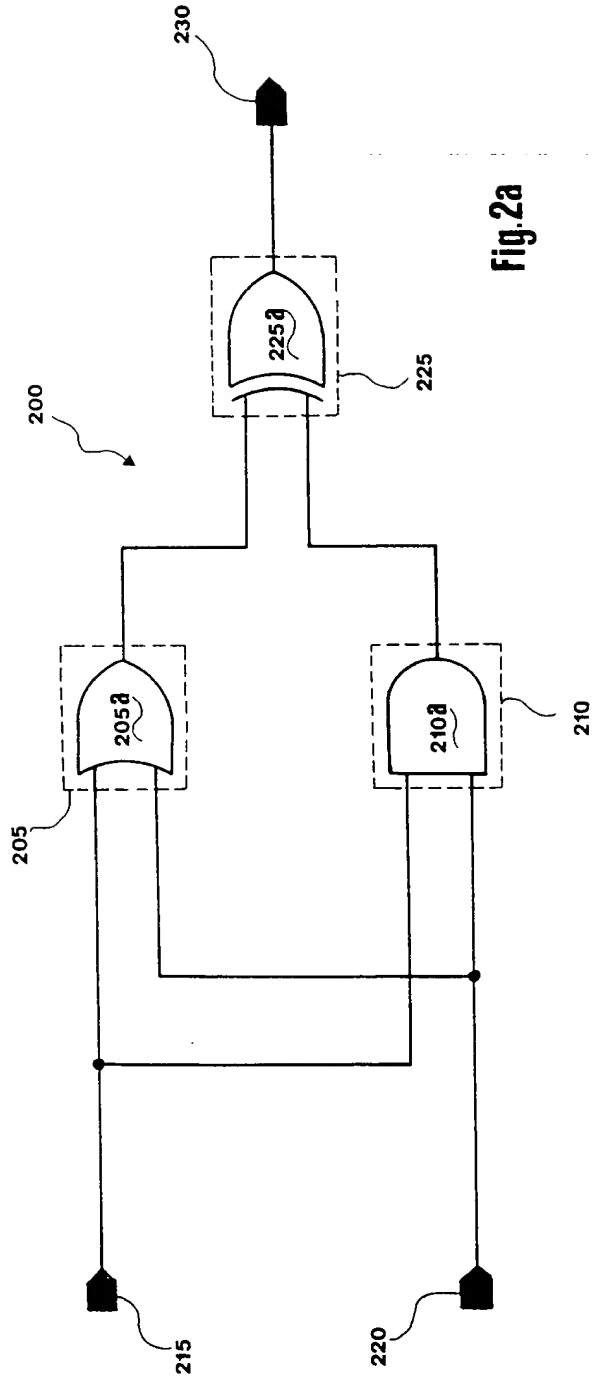


Fig. 2a

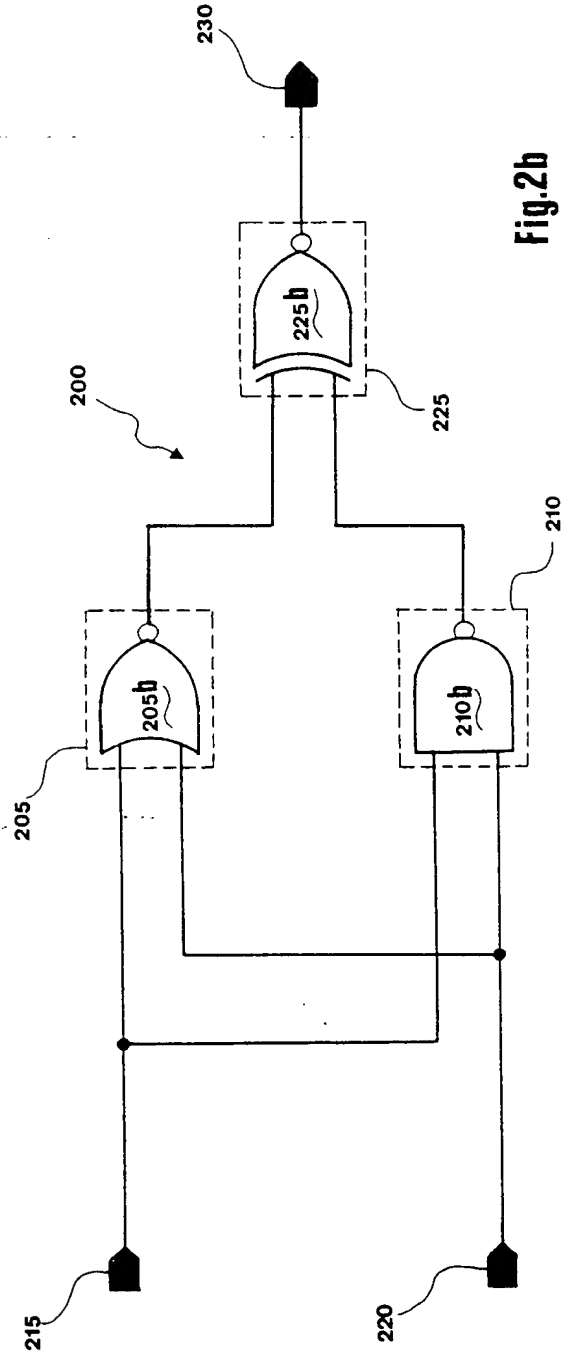
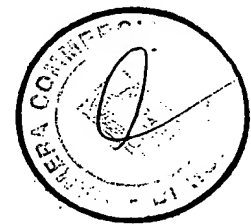


Fig. 2b



A handwritten signature in black ink, appearing to read "Gilberto Tonon".

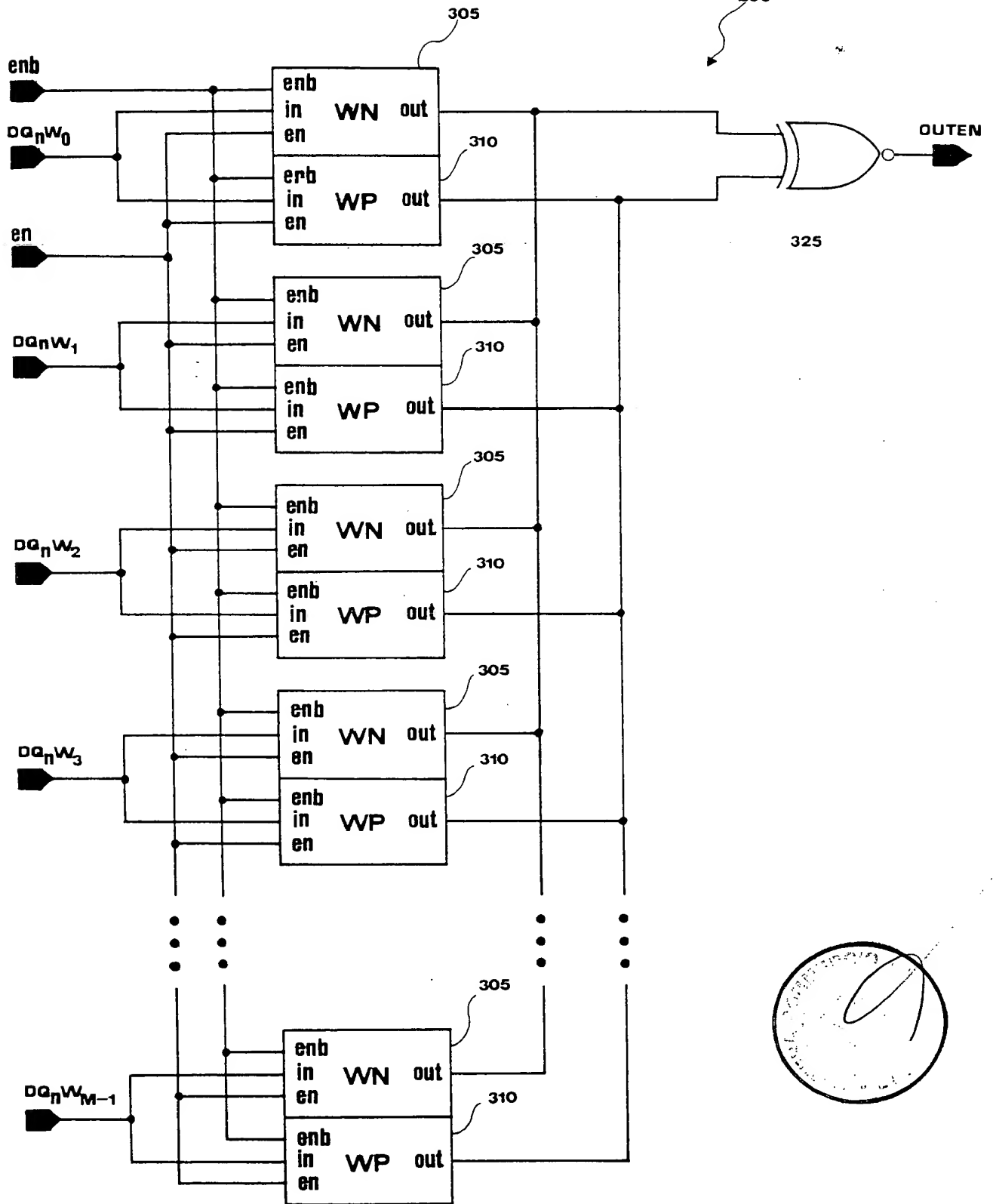


Fig.3a



RM 2001 A 000104

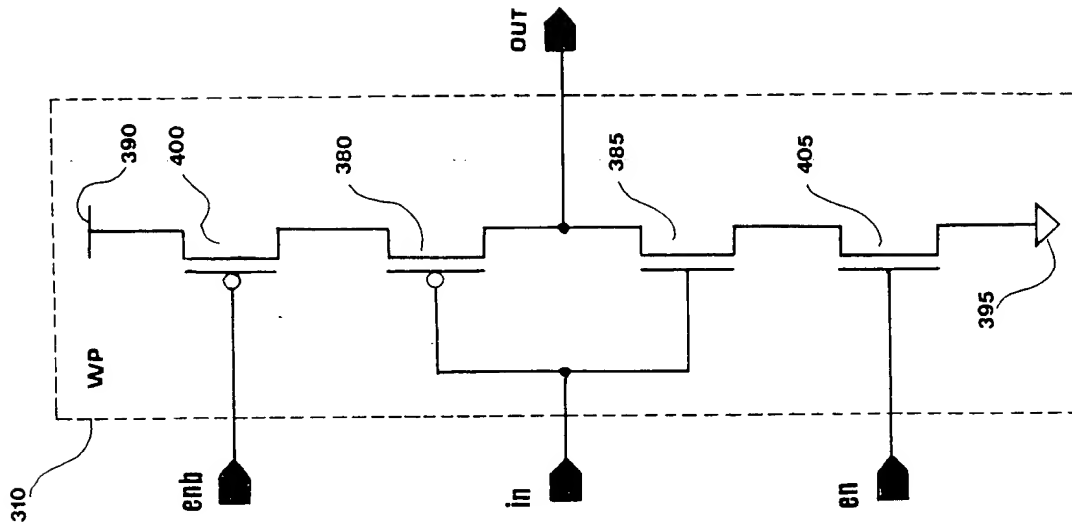


Fig.3c

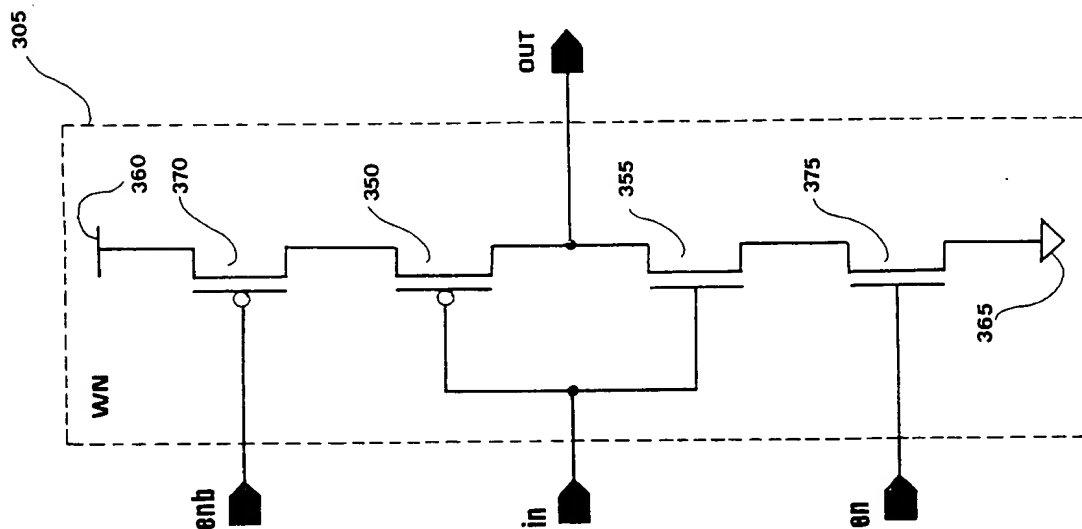


Fig.3b

Gilberto Tonno.  
(Incr. Albo n. 83 ENI)